

Comunicaciones Eléctricas



Tecnología VLSI

Volumen 65 N° 2

ALCATEL

Comunicaciones Eléctricas, revista técnica trimestral de Alcatel NV, presenta las investigaciones, los desarrollos y las realizaciones conseguidas por las compañías Alcatel en todo el mundo. Publicada desde 1922 en versión inglesa, se edita actualmente en cuatro idiomas y su distribución es universal.

Editorial Board

Jacques Ernest
Presidente
Dominique Brouard
Alcatel Cable
Bernard Culot
Alcatel Radio, Space & Defense
Georges Paricard
Alcatel Business Systems
Giorgio Poretti
Network Engineering & Installation
Françoise Sampermans
Relaciones Corporativas y Publicidad
Werner Schmidt
Patentes
Renaat Van Malderen
Alcatel Network Systems

Editores

Editor-Jefe internacional
Rod Hazell, Paris

Ediciones locales

Comunicaciones Eléctricas
Gustavo Arroyo, Madrid

Revue des Télécommunications
Catherine Camus, Paris

Elektrisches Nachrichtenwesen
Theo Wichers, Stuttgart

Comunicaciones Eléctricas

Volumen 65, Número 2

Tecnología VLSI

- 110 **Editorial**
- 112 **Circuito universal de alto voltaje de interfaz de línea de abonado en tecnología bipolar combinada CMOS-DMOS,**
E. Moons, E. Op de Beeck, D. Rabaey y E. Willocx
- 119 **Limitaciones tecnológicas en la integración (VLSI) de terminales de radio móvil digital,**
D. Rabaey, J. Wénin, L. Dartois y J. Dulongpont
- 126 **Diseño e introducción de MMIC de AsGa en los sistemas de telecomunicación,**
M. André, G. De Roeck, G. Van Koetsem y R. Verbiest
- 131 **Circuitos integrados para transmisión a alta velocidad por fibra óptica,**
E. Gerhardt, R. Heidemann, W. Pohlmann y E. Schlag
- 140 **Requisitos de tecnología VLSI para un video codec de velocidad variable en MTA,**
P. Guébels, B. Voeten, L. Elewaut y J. Goubert
- 151 **Diseño de arquitectura VLSI para productos JDS,**
F. Van Simaey, F. Geromel, J.-C. Billy, R. Sigloch, R. Briscoe, J. Merino y R. Burriel
- 161 **Realización VLSI de códigos de corrección de errores,**
Ph. Sadot
- 168 **Metodología de diseño de ASIC independiente de la tecnología,**
J. Adams, J. Van Dun, P. Guébels y M. Rahier
- 175 **Diseño VLSI para pruebas,**
E. Huyskens, G. Van Wauwe, W. Fonden y R. Schulz
- 183 **Metodología integrada para el diseño de ASIC y placas,**
J.-C. Larreur y M.-J. Martin
- 188 **Circuitos integrados para el sistema de transmisión submarina S560,**
M. Campese, J.-Y. Fourrier y G. Bourret
- 195 **Mietec Alcatel: Diseño y proceso VLSI,**
H. Casier y E. Laes
- 203 **En este número**

Publicado en Febrero 1992
© Alcatel NV, 1992

Las direcciones de los editores se dan en la página 204





Las obleas CMOS de la portada se procesan en Mietec Alcatel, Bélgica. En esta fase, se necesita verificar cada cuadro de silicio para comprobar si cumple las especificaciones de prestaciones eléctricas. El resto de las operaciones incluye la separación y unión de cuadros, empalme y encapsulado.

Editorial

La microelectrónica ha revolucionado los conceptos de arquitectura y diseño de nuestros productos: los circuitos VLSI se encuentran hoy en el núcleo de cada uno ellos. Se continúan ampliando los límites del diseño de sistemas por la capacidad de integración extrema de la ULSI (integración a ultra gran escala), y realizaciones que hace unos pocos años solo eran un sueño se han hecho realidad. El progreso en la tecnología y diseño VLSI ha impulsado la transición de sistemas analógicos a digitales, ofreciendo una operación a una mayor velocidad, un volumen reducido del equipo y un consumo de potencia menor.

La fuerza de Alcatel en microelectrónica se basa en la combinación de tres disciplinas diferentes: tecnología, automatización del diseño y arquitectura. Cada una de ellas ha tenido una extraordinaria evolución en los últimos veinte años.

Desde los primeros días de la microelectrónica, la miniaturización ha ido avanzando de forma constante, y aún no ha parado. Cada dos ó tres años surge una nueva generación: el año 1991 ha visto la ruptura de la barrera de las 0,8 micras para CMOS y para finales de 1992 se dispondrá de prototipos de 0,5 micras. Aunque en la mayoría de los diseños se emplean dos capas de metalización, en algunos ya se está usando la metalización de tres capas. Se espera que esta última sea obligatoria en las tecnologías de 0,5 micras, ya que los retardos en las interconexiones se han hecho más importantes que los retardos en las puertas. Por ello, la densidad de interconexión es un aspecto cada vez más importante.

Otro requisito importante en las nuevas generaciones de tecnologías es la optimización del consumo de potencia. Como la mayoría de productos necesitan ser alimentados por baterías, se deben de optimizar para que funcionen con voltaje reducido y pequeño consumo de corriente. Con la introducción de 3,3 V en las tecnologías de la media micra se llega a ello, pero a costa de la reducción de algunas prestaciones.

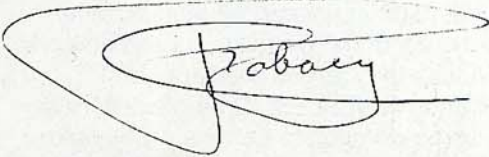
La constante reducción en el tamaño permite la integración de diseños cada vez más complejos. En 1991 se han diseñado microcircuitos que contienen hasta un millón de transistores para aplicaciones de conmutación de banda ancha y de radio móvil. El progreso de la tecnología de proceso permitirá el diseño de microcircuitos que alcancen los diez millones de transistores a finales de siglo.

El diseño asistido por ordenador es esencial para manejar los cada vez más complejos sistemas. En los últimos diez años las herramientas de diseño han avanzado de forma importante, tanto en calidad como en prestaciones, y el grado de automatización ha incrementado la productividad en el diseño. La última novedad es la introducción de la síntesis lógica, que permite el diseño de arriba a abajo, independiente de la tecnología, a nivel de puerta para lograr tamaños de microcircuitos y prestaciones de tiempos óptimas. Esta evolución es fundamental en la capacidad de diseño.

Los diseñadores de microcircuitos ya no son solamente diseñadores de transistores, sino que también realizan arquitecturas y algoritmos. En otros tiempos, los diseñadores de microcircuitos y de sistemas trabajaban en mundos diferentes. Hoy, sin embargo, ambas disciplinas convergen: la microelectrónica proporciona sistemas de silicio. El diseño asistido por ordenador ofrece un marco que permite una comunicación eficaz entre diseñadores de sistemas y de microcircuitos, desarrollando conjuntamente los productos avanzados.

Se espera que el avance más importante en herramientas en la próxima década sea en síntesis de sistemas, lo que permitirá la implantación de arriba a bajo desde el sistema al silicio.

Los artículos de este número de *Comunicaciones Eléctricas* presentan actividades VLSI en Alcatel. Se incluyen ejemplos de aplicaciones específicas VLSI, y los avances y tendencias en metodología y tecnología, mostrando el papel de líder de Alcatel en el diseño de microcircuitos avanzados para las telecomunicaciones.



Dirk H. Rabaey

Alcatel Microelectronics Research Officer

Alcatel Bell Microelectronics and Hardware Technology Manager

Circuito universal de alto voltaje de interfaz de línea de abonado en tecnología bipolar combinada CMOS-DMOS

Se ha diseñado un circuito universal optimizado de interfaz de línea para abonado que ofrece bajo consumo, bajo ruido y alta flexibilidad y que permite una integración de mayor número de líneas por placa. Este nuevo circuito que satisface las necesidades de las administraciones telefónicas a nivel mundial ha sido realizado en una tecnología mixta que combina bipolar de alto voltaje con DMOS y CMOS de bajo voltaje y alta densidad.

E. Moons

E. Op de Beeck

D. Rabaey

E. Willocx

Alcatel Bell Telephone, Amberes, Bélgica

Introducción

El circuito de línea de abonado es uno de los componentes más importantes en las modernas centrales telefónicas, por lo que debe ofrecer prestaciones óptimas y alta calidad. Alcatel ha desarrollado un circuito de línea de nueva generación (NGLC) que utiliza tecnología VLSI al estado del arte para conseguir una mayor integración que la existente con tecnologías precedentes. Como resultado, ha sido posible integrar funciones adicionales y un tratamiento de un mayor número de líneas por placa reduciendo, por consiguiente, el número de bastidores por central.

Se ha conseguido una densidad de 16 líneas por placa NGLC mediante la

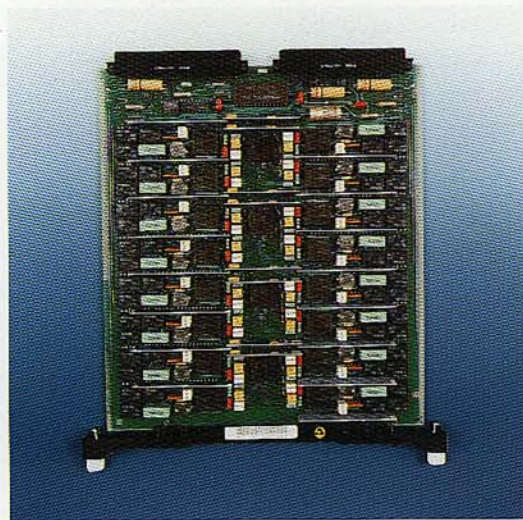
integración de cuatro codecs en un único circuito integrado (4CDSP) y el desarrollo de un circuito de interfaz de línea de abonado de altas prestaciones (ESLIC). Teniendo en cuenta que el consumo es uno de los mayores problemas asociados con la alta densidad de integración, se ha diseñado el circuito ESLIC específico para baja disipación de energía mediante la utilización de un modo especial de bajo consumo y de una fuente conmutada de alimentación (SMPS).

Otro objetivo principal en el desarrollo del ESLIC ha sido la realización de un componente que satisfaga un amplio espectro de especificaciones y que pueda ser utilizado en todos los mercados de los sistemas de conmutación de Alcatel 1000 E10 y S12. Por este motivo ha sido necesario desarrollar varios modos de operación y se ha prestado una atención especial a conseguir una reducción drástica del ruido intrínseco de la circuitería interna así como permitir una alimentación de líneas muy largas mediante SMPS.

El circuito VLSI ESLIC se ha desarrollado como un circuito universal y flexible usando tecnología mixta BCD (bipolar, CMOS Y DMOS) de 4 micras y 100V.

Funciones básicas y entorno de aplicación

El ESLIC es uno de los elementos claves en el circuito de línea analógico como se muestra en la Figura 1. Proporciona un



Circuito de línea de nueva generación.

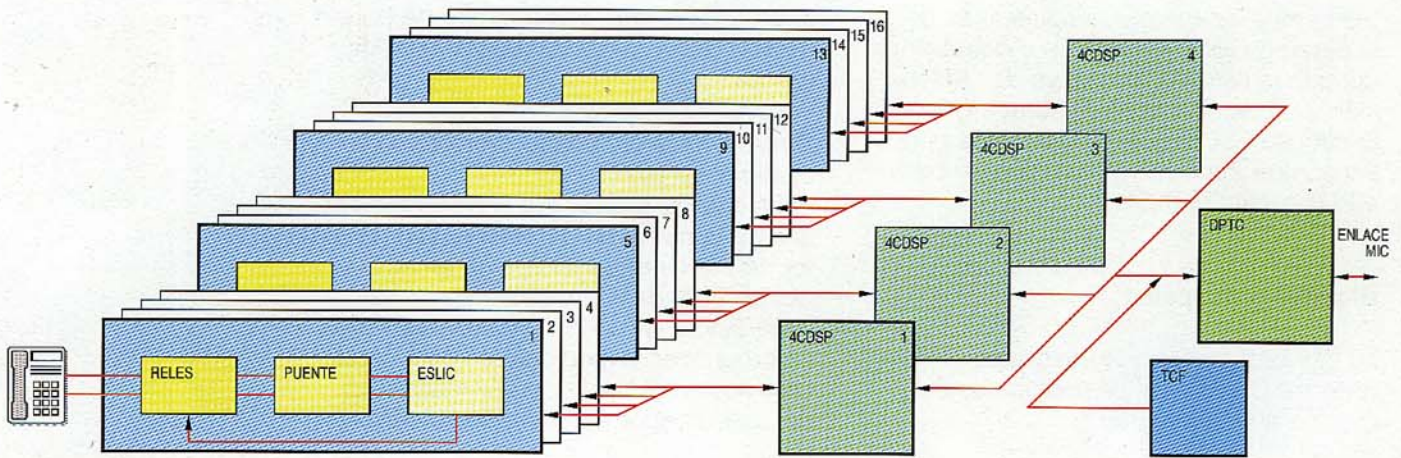


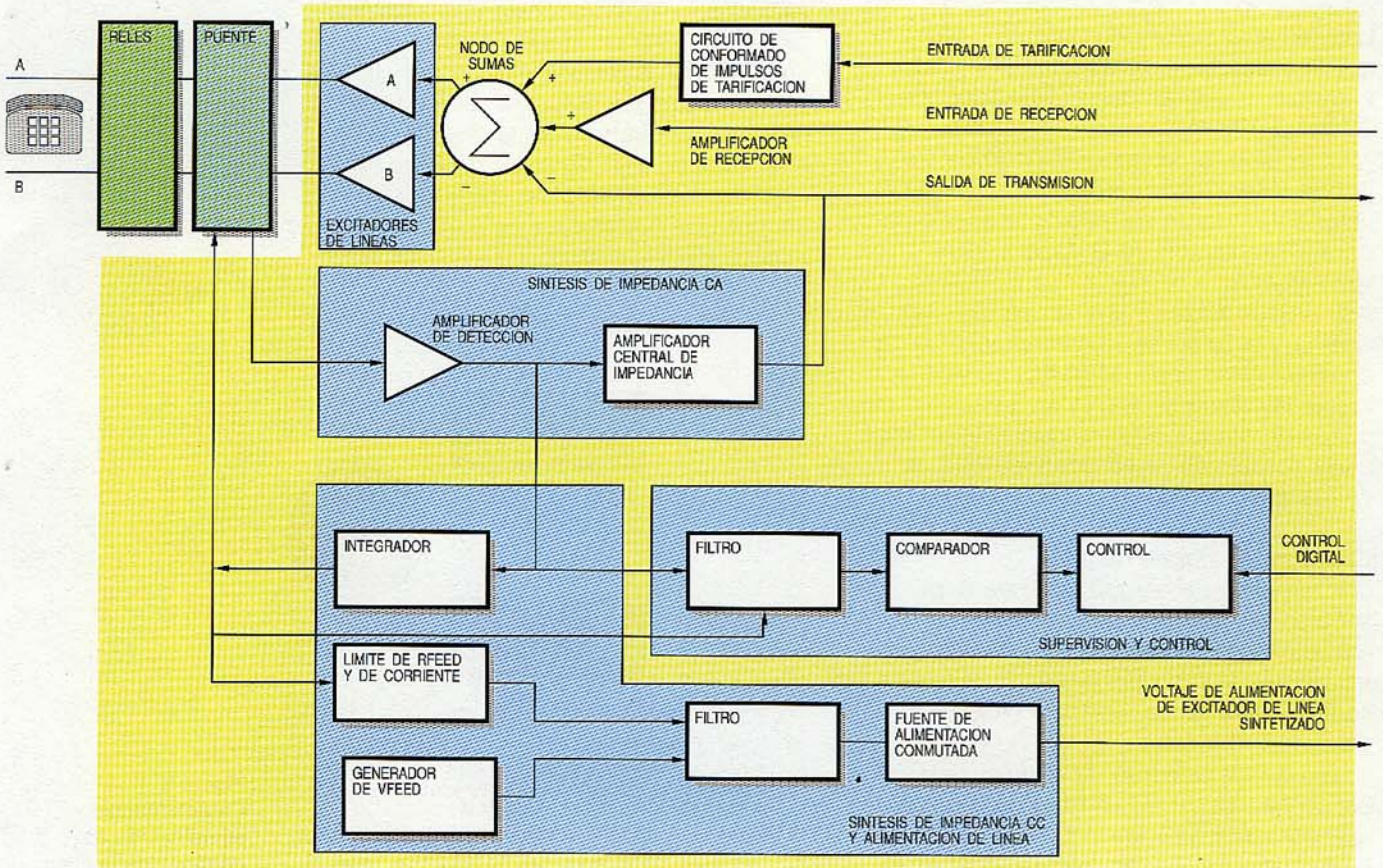
Figura 1
Diagrama de bloques
de la nueva
generación de
circuito de línea.

interfaz directo con líneas telefónicas a través de un puente para detección de resistencias y de tres relés controlados a través del ESLIC y usados como vía de acceso para pruebas y señal de llamada. El circuito 4CDSP realiza las funciones de conversión analógica/digital, digital/análogica, filtrado digital y la transcodificación con ley A o ley μ para cuatro líneas. El TCF (función común de transcodificación) proporciona la señal de tarificación (12 ó

16 kHz). Un controlador de terminal con doble procesador (DPTC) realiza las funciones de control para todas las líneas de la placa.

El ESLIC suministra la corriente de línea en continua y también incorpora a la línea la banda vocal y los impulsos de tarificación de 12 ó 16 kHz. Tanto las impedancias de salida en alterna y en continua como la limitación de corriente son programables. El ESLIC integra tam-

Figura 2
Diagrama de bloques
internos del nuevo
ESLIC.



bién todas las funciones necesarias de supervisión (cierre de bucle y descuelgue durante la llamada, impulsos de tarificación y protección contra sobrecarga). El circuito ESLIC también realiza la conversión de 2 a 4 hilos, inversión de polaridad y control de relés.

Bloques principales

La Figura 2 muestra un diagrama de bloques de ESLIC con los principales elementos que lo integran

Alimentación en continua de la línea

El bloque de alimentación de la línea y el sintetizador de la impedancia en continua simulan electrónicamente el clásico puente de alimentación utilizado en el circuito de línea de los circuitos basados en transformador (fuente de tensión con impedancia de salida definida como se muestra en Figura 3). La ventaja de la realización electrónica estriba en que puede programarse para diferentes aplicaciones haciéndola muy flexible.

La impedancia de salida puede ser realizada mediante control de programa, con un valor resistivo alto ó bajo en el bloque *limitador de corriente y de R_{feed}* . El valor de la baja impedancia se puede seleccionar por circuitería externa mediante un puente en la placa. También se puede seleccionar, mediante control de programa, el límite de corriente (valor máximo de corriente de línea permitido) entre cinco valores preestablecidos, de 20 mA a 70 mA.

En el bloque de *generación V_{feed}* , se puede seleccionar mediante programa el valor de la fuente de tensión equivalente para alimentación de la línea a -48V, -53V y -60V.

El bloque *filtro* elimina las señales en alterna y el ruido de la alimentación en continua de la línea. El SMPS genera la fuente de alimentación (V_{synt}) para los circuitos de ataque a línea, que esta relacionada con el voltaje en continua que se necesita en línea.

Circuitos de ataque de línea

Los *circuitos de ataque de línea* para señales en alterna y continua, se han realizado con tecnología de alto voltaje y están provistos de las protecciones necesarias contra rayos, cortocircuitos propios y con la red.

Uno de los factores de diseño mas crítico ha sido la estabilidad general para una corriente de línea entre 0 y 100 mA bien sumiendo o bien generando corrien-

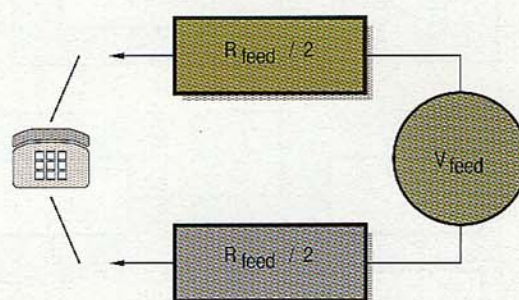
te para conseguir una anchura de banda de 600 kHz y minimizar la corriente de reposo.

Síntesis de la impedancia en alterna y caminos de voz

El bloque de síntesis de impedancia en alterna consiste en un *amplificador detector* de corriente de línea y un *amplificador de impedancia característica*. La impedancia en alterna de salida en línea es programable mediante componentes externos en el bucle de realimentación del amplificador de impedancia característica.

Los *circuitos de acondicionamiento de impulsos de tarificación* suministra dichos trenes de impulsos a 12 ó 16 kHz a los circuitos de ataque a línea. Este circuito suaviza los bordes de los impulsos para reducir el ruido durante la conmutación. El *amplificador de recepción* suministra la señal recibida de los 4CDSP a los circuitos de ataque a línea. Este amplificador CMOS con alimentación simétrica trabaja entre +5V y -5V.

El amplificador detector está realizado como amplificador bipolar, asimétrico con una etapa de alto voltaje (80V), debido a que está en contacto con la línea, y con una etapa de salida en bajo voltaje. El amplificador de impedancia característica está realizado en tecnología CMOS-bipolar y trabaja entre +5V y -5V. La utilización de esta baja tensión de alimentación (+5V, -5V) en la mayor parte de los amplificadores reduce el área del circuito y el consumo de potencia. Se ha tenido un especial cuidado en el diseño del amplificador a fin de alcanzar bajo ruido, bajo desplazamiento de entrada y gran anchura de banda.



- ▼ V_{feed} PROGRAMABLE (-48V, -53V ó 60V)
- ▼ R_{feed} PROGRAMABLE:
 - ALIMENTACION OHMICA ALTA (2 x 2kohm)
 - ALIMENTACION OHMICA BAJA (2 x 200 ohm y 2 x 400 ohm)
 - ALIMENTACION EXTERNA OHMICA BAJA
- ▼ LIMITE DE CORRIENTE PROGRAMABLE (20, 30 35, 40, 70mA)
- ▼ INDEPENDENCIA DE POLARIDAD DE LINEA

Figura 3
Características y alimentación en continua de la línea.

Supervisión y control

Se ha provisto de tres funciones de supervisión de la línea que permanecen activas durante bajo consumo:

- detección de cuelgue
- detección de descuelgue durante corriente de llamada
- detección de sobrecorriente.

El bloque *filtro* realiza su función tanto con la señal de llamada como con los impulsos de tarificación en operación normal. La salida del filtro está conectada a un *comparador* de doble polaridad multi-umbral de alta precisión, el cual tiene niveles fijos de detección de cuelgue (alimentación con alta o baja resistencia) y detección de descuelgue durante corriente de llamada. El comparador se basa en la técnica de comparación de carga.

El bloque *control* transmite información de supervisión de línea al circuito 4CDSP por un enlace serie de entrada/salida. El circuito ESLIC también recibe información de los valores preseleccionados por programa a través del mismo enlace.

Protección

Cuatro mecanismos básicos de protección evitan daños en el ESLIC durante sobretensiones por rayos, contactos con la red de 220V y cortocircuitos:

- Limitación de corriente en el bucle de continua que acota la corriente de línea en el caso de un cortocircuito entre los hilos A y B.
- Protección contra espúreos, realizada mediante diodos de protección en las salidas de los circuitos de ataque a línea que protegen a los transistores de la etapa de salida de picos de alta corriente causados, por ejemplo, por rayos.
- Protección electrónica que limita la máxima corriente de los circuitos de ataque a línea a 150 mA; esto lo realiza independientemente del límite de corriente de bucle en continua. La corriente de protección electrónica se reduce a 30 mA en bajo consumo.
- Protección térmica que activa el bit de sobrecorriente y desactiva los circuitos de línea y SMPS cuando la temperatura del circuito alcanza el límite crítico de 125°C.

La protección contra espúreos, electrónica y térmica se proporciona para cada etapa de salida del circuito de ataque a

línea y actúa completamente independiente.

Nueva gestión de potencia

Durante el bajo consumo solamente permanecen activas las fuentes de supervisión de bucle y el interfaz de control, haciendo posible bajar el consumo de potencia en reposo a 100 mW. Los hilos A y B se conectan directamente a masa y a batería respectivamente, usando los grandes transistores de salida de los circuitos de ataque a línea como un conmutador, sin consumir energía. Esto sólo es posible con este tipo de tecnología donde los transistores DMOS de alto voltaje se pueden usar como elementos digitales y lineales.

En otros circuitos, la corriente de polarización se desconecta y los amplificadores se colocan en estado de alta impedancia. Algunos condensadores se precargan para evitar grandes transitorios cuando se conmute al estado activo de potencia.

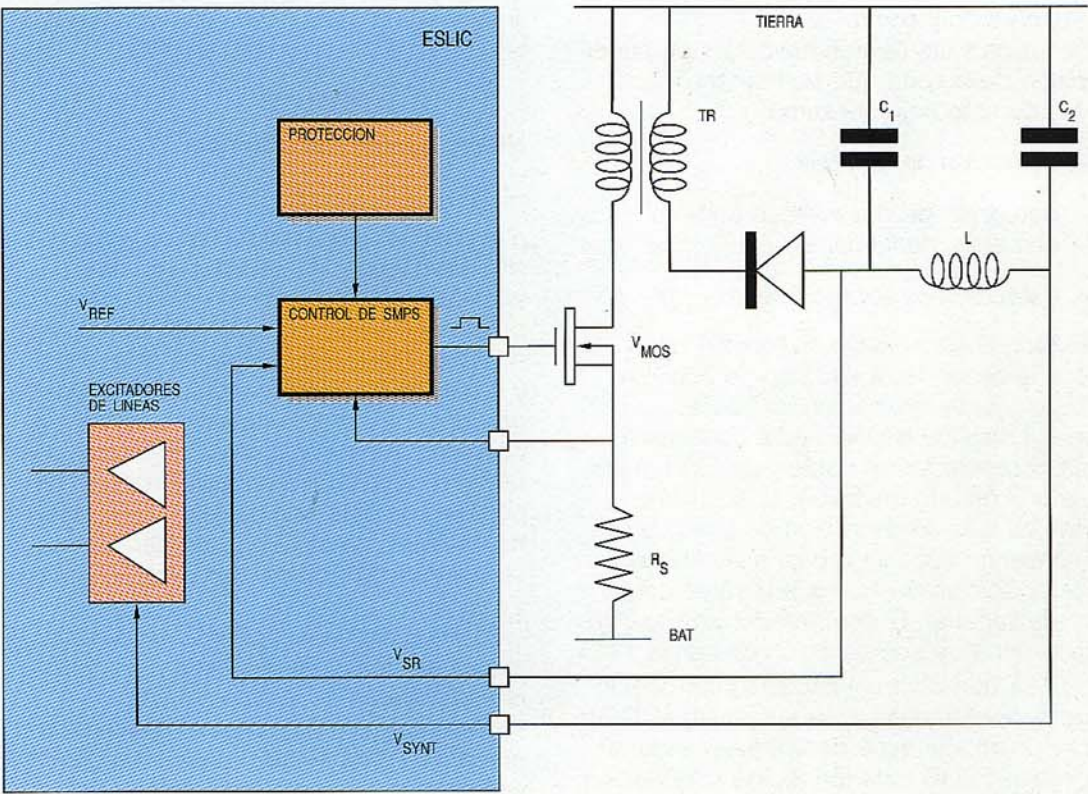
En las condiciones de descuelgue, la disipación de potencia se limita mediante el uso de niveles mínimos y precisos de polarización y por la generación del voltaje de línea con una SMPS. Esto ahorra potencia comparando con un regulador serie, especialmente en el caso de líneas cortas.

Fuente de alimentación conmutada

Este tipo fuente de alimentación es una forma eficiente de generar las tensiones negativas necesarias (V_{synt}) para los circuitos de ataque a línea. Tiene la ventaja, sobre los reguladores de voltaje en serie, de una baja disipación de potencia y la posibilidad de exceder del voltaje de la batería aplicada. La frecuencia de conmutación es de 512 kHz para mantener bajos el coste y el tamaño de los componentes externos.

Como se muestra en la Figura 4, el SMPS utiliza el principio *flyback* para el convertidor, operando en modo de conducción discontinuo a una frecuencia fija de 512 kHz. Una señal PWM (modulación por anchura de impulsos) controla la puerta del transistor externo de potencia que es un VMOS (MOSFET de potencia) a 200V con característica de conmutación rápida. Durante el tiempo de conducción del transistor la energía se almacena en la inductancia del primario. Durante el periodo de corte, toda esta energía se

Figura 4
Diagrama de bloques
de la fuente de
alimentación
conmutada.



transfiere al condensador de salida del bobinado secundario. Se consigue una eficiencia del 75%, lo que está principalmente determinado por las pérdidas del transistor y del diodo.

Un circuito de control completamente integrado regula el voltaje de salida. Consiste en un amplificador de señal de error, un generador de dientes de sierra, un comparador muy rápido, un cambiador de nivel de alto voltaje y alta velocidad, etapa de potencia y alguna circuitería de protección.

Para evitar interferencias aleatorias (ruido) con la señal de audio, se utiliza una frecuencia de rizado fija de 512 kHz. Se garantiza por diseño un tiempo mínimo de conducción para la señal PWM que puede ser tan bajo como 50 ns. Debido a la complejidad y a los requisitos de alta velocidad de operación para estos circuitos de control, son vitales las tecnologías avanzadas y rápidas, especialmente en este caso donde tienen que combinarse alto voltaje y baja tensión.

La protección se construye a fin de evitar la sobrecarga del transistor externo. Un circuito de protección contra sobrecorrientes detecta la caída de tensión a través de la resistencia de la fuente R_S . Si el valor de la corriente excede de un valor máximo predefinido, se corta el transistor externo durante el resto del periodo. Mas

aún, también se desconecta el SMPS cuando se detecta la ausencia de alimentación o de señal de reloj. Cuando la temperatura del circuito alcanza un valor crítico, el circuito SMPS también se desactiva hasta que sea repuesto bajo control de programa.

En el modo de bajo consumo, toda la circuitería de bucle queda desactivada, mientras que V_{synt} se conecta a la batería a través de un circuito de alimentación en bajo consumo.

Polarización de sustrato

El sustrato de un circuito integrado siempre tiene que conectarse a la menor tensión usada en el circuito. En el ESLIC, esta puede ser la tensión de batería o la V_{synt} dependiendo de la carga de la línea. El circuito de polarización de sustrato compara el voltaje sintetizado (V_{synt}) con la tensión de batería y controla a dos conmutadores de alto voltaje y baja resistencia a fin de conectar la tensión mas negativa al sustrato. Al comenzar a funcionar, el conmutador se conecta en principio a la batería para evitar un sustrato flotante que podría causar una mala operación debido al autocebado.

Consideraciones sobre ruido

Se ha prestado una especial atención a la distribución de ganancia en los bloques de síntesis de impedancia en alterna y continua a fin de conseguir una baja cifra de ruido en recepción de -85 dBmp, así como al nivel de rechazo de ruido intrínseco y de fuente de alimentación de los amplificadores individuales.

La utilización de una estructura balanceada para el amplificador de impedancia característica, el circuito de acondicionamiento de impulsos de tarificación, y el amplificador de recepción permite la máxima variación y ganancia dinámica entre las alimentaciones de -5V y +5V. De forma inherente estos circuitos balanceados también tienen un buen índice de rechazo al ruido introducido por la fuente de alimentación de la central.

Se ha utilizado una técnica de compensación en continua en el puente a fin de aumentar la excursión dinámica y la ganancia de la etapa de amplificador de detección lo que resulta en un mejor comportamiento frente al ruido. Se ha incluido una función *integración* en el bucle de realimentación del amplificador de detección para eliminar las señales de baja frecuencia (incluso la componente continua) en la salida del detector. Como resultado se ha obtenido una variación dinámica completa para señales de audio y de tarificación de 12/16 kHz.

Se ha considerado el ruido intrínseco de cada amplificador y se ha minimizado mediante un diseño apropiado. El amplificador de detección y el integrador son circuitos de bajo ruido que requieren un máximo de 20 nV/√Hz realizados con dispositivos bipolares. Otros amplificadores tienen un límite de 150 nV/√Hz y han sido realizados con estructuras CMOS.

Realización

El ESLIC es un circuito integrado de 40 mm² realizado en tecnología BCD de 4 μm y 100V y encapsulado en una cápsula de 44 terminales (portacircuitos de plástico con terminales). Es un diseño completamente a la medida que combina 2500 dispositivos: alrededor de 250 DMOS (100V), 200 bipolares (30V) y 1900 CMOS (12V). Contiene un total de 500 pF en condensadores y 15 MΩ en resistencias. Debido a la deriva del sustrato (hasta 75V) se ha prestado una atención especial a las técnicas de bandas de guarda a fin de evitar activaciones de circuitos parásitos MOS en óxido de campo.

Table 1 – Características medidas del ESLIC

Parámetro	Valor
Voltaje máximo	80 V
Capacidad de ataque de corriente de línea	180 mA
Ruido de canal libre (recepción)	-85 dBmp
Ruido de canal libre (transmisión)	-90 dBmp
Distorsión armónica total (recepción)	60 dB
Distorsión armónica total (transmisión)	60 dB
Ruido de frecuencia única (recepción)	-90 dB
Ruido de frecuencia única (transmisión)	-95 dB
Seguimiento de ganancia (+3 a -65 dBm0)	± 0.1 dB
Apareamiento de ganancia de AW y BW	± 0.5 %
Respuesta de frecuencia (300 a 3400 Hz)	± 0.05 dB
Pérdida de retorno	-30 dB

Prestaciones

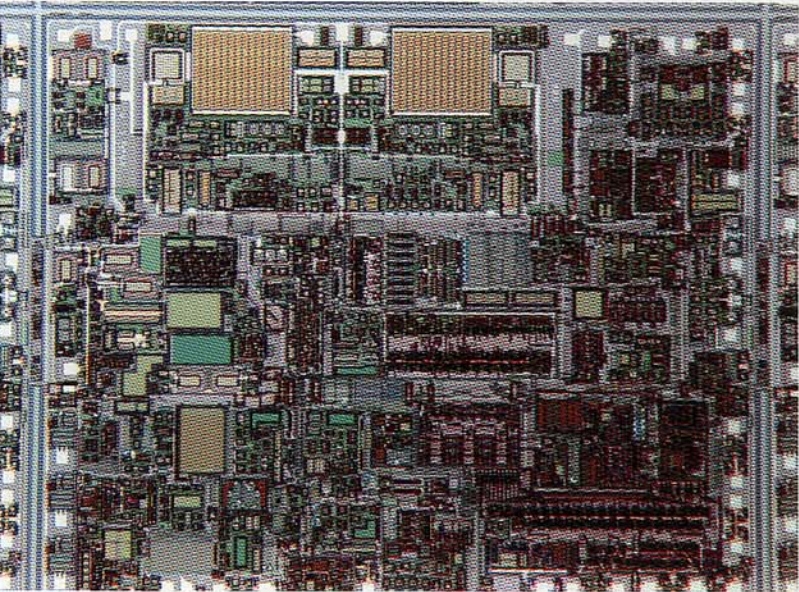
La tabla 1 resume las prestaciones del circuito VLSI ESLIC.

Conclusiones

El nuevo dispositivo ESLIC ofrece una solución universal y flexible para la próxima generación de circuitos de línea analógicos. El número reducido de componentes externos y el limitado consumo de energía permite la integración de más líneas por placa, reduciendo drásticamente el volumen del equipo y mejorando el coste.

Las importantes mejoras incorporadas incluyen un mejor comportamiento frente al ruido, características extendidas de ali-

Microfotografía del circuito optimizado de interfaz de línea de usuario.



mentación en continua, y un limitado consumo de energía en la placa durante la operación de colgado como resultado de desactivar varios circuitos, y durante el descolgado mediante la utilización de SMPS. Se ha conseguido una reducción del número de los componentes externos sin afectar la flexibilidad del circuito de línea para satisfacer diferentes requisitos de mercado.

Elve Moons nació en Kermt, Bélgica, en 1959. Obtuvo la graduación en ingeniería electrónica por la universidad católica de Lovaina. En 1982 se incorporó al grupo de diseño electrónico en Alcatel Bell Telephone donde ha estado trabajando en el diseño de circuitos integrados analógicos a la medida. Actualmente el Sr. Moons supervisa un grupo de diseño VLSI para la integración de equipos de telecomunicación.

Eddy Op de Beeck nació en Malinas, Bélgica, en 1958. Se graduó en ingeniería electrónica en la universidad católica de Lovaina en 1981. Después del servicio militar se incorporó a Alcatel Bell Telephone donde ha participado activamente en diseño y pruebas de circuitos integrados para telecomunicación. El Sr. Op de Beeck está

realizando en la actualidad estudios de viabilidad y es responsable del desarrollo de la nueva generación de circuitos analógicos.

Dirk Rabaey nació en Veurne, Bélgica, en 1957. Se graduó en ingeniería electrónica en la universidad católica de Lovaina en 1980. El mismo año se incorporó en el departamento de microelectrónica de Alcatel Bell Telephone donde ha participado activamente en el diseño de circuitos integrados para aplicaciones de telecomunicaciones. Su mayor interés se centró en el diseño de convertidores A/D y D/A de altas prestaciones para circuitos de línea y RDSI. Entre 1987 y 1989 fue jefe del centro de diseño y pruebas de circuitos VLSI, luego pasó a jefe de la división de microelectrónica y tecnología hardware de Alcatel Bell Telephone. Desde principios de 1990 es investigador principal de microelectrónica en Alcatel. El Sr. Rabaey es miembro del Consejo de la Sección Benelux del IEEE.

Eddie Willocx nació en 1949, en Willebroek, Bélgica. Obtuvo la graduación de técnico en electrónica en el instituto de enseñanza técnica de Malinas en 1967. Dos años después se incorporó a Alcatel Bell Telephone. El Sr. Willocx ha sido miembro del laboratorio central desde 1978, y está actualmente trabajando en diseño VLSI de circuitos analógicos para telecomunicación.

Limitaciones tecnológicas en la integración (VLSI) de terminales de radio móvil digital

Los terminales para uso en los sistemas de radio móvil celular (GSM) han tenido que hacer frente a varios desafíos tecnológicos que van desde la elección de una arquitectura optimizada a la selección de tecnologías avanzadas de integración a gran escala, a fin de satisfacer las necesidades de los sistemas actuales y futuros. Es necesario hacer un uso intensivo de la tecnología de integración para cumplir los objetivos de calidad y tamaño.

D. Rabaey

J. Wénin

Alcatel Bell Telephone, Amberes, Bélgica

L. Dartois

J. Dulongport

Alcatel Radiotelephone, Colombes, Francia

Introducción

En 1992 estará operacional en Europa un sistema radiotelefónico celular digital paneuropeo. Este nuevo sistema, diseñado de acuerdo con las recomendaciones GSM del ETSI (Grupo Especial de Radio - Móvil), opera en la banda de 900 MHz y proporciona canales de transmisión digitales de extremo a extremo.

Este nuevo sistema digital necesita una técnica de diseño muy ambiciosa para competir con la próxima generación de terminales portátiles, que se están desarrollando para redes de radio celular analógicas. El mercado es extremadamente competitivo, siendo los factores más importantes para el éxito comercial el coste, la duración de las baterías y tamaño, sin tener en cuenta la diferente complejidad de los sistemas analógicos y digitales.

El sistema GSM digital necesita un complejo tratamiento digital de la información para conseguir su estándar de altas prestaciones¹. El sistema utiliza procedimientos complejos de codificación, modulación por salto de frecuencia y proceso de datos, para salvar satisfactoriamente los efectos rápidamente cambiantes de la propagación por trayecto múltiple y de las numerosas fuentes de interferencias, característicos del entorno de transmisión en las comunicaciones móviles.

La competencia con los sistemas analógicos, más maduros y menos complejos,

exige enfrentarse a varios desafíos tecnológicos. En particular, los equipos de diseño de sistemas y de circuitos VLSI han afrontado cuatro retos: elección de una tecnología de integración adecuada, realización de una arquitectura eficaz, elección de metodologías avanzadas de diseño y máxima integración.

Arquitectura del terminal GSM

Camino de transmisión

La Figura 1 presenta un diagrama de bloques del terminal portátil^{2,3}. El canal de comunicaciones, que es digital de extremo a extremo, comienza en el camino de transmisión con un circuito integrado codec que realiza el interfaz directo con el micrófono.

Las muestras digitales de la voz se codifican y se comprimen en un tren de datos a 13 kbit/s mediante un transcodificador integrado de voz que opera en la sección de banda base. Un circuito integrado codificador/decodificador de canal incorpora una protección robusta para los trenes de datos comprimidos a fin de optimizar la fiabilidad de la transmisión.

Los datos codificados se entregan posteriormente al circuito integrado modulador que los convierte en una señal modulada en GMSK (*Gaussian minimum shift keying*). La conversión a la banda superior de 900 MHz se realiza mediante

el circuito integrado RF (radio frecuencia) de salida.

Camino de recepción

En el camino de recepción el circuito integrado RF de la etapa de salida convierte la señal de 900 MHz directamente a la banda base sin utilizar ninguna frecuencia intermedia. Después de la cancelación del nivel de desplazamiento y del ajuste del nivel de la señal en el circuito analógico de banda base, la señal analógica se filtra y convierte a formato digital mediante el circuito integrado modulador que actúa como etapa de entrada para el circuito demodulador digital.

A continuación, el circuito integrado demodulador en la sección de banda base regenera los paquetes de datos que se reagrupan para formar un tren de datos a 13 kbit/s en el circuito integrado codificador / decodificador del canal.

Finalmente, se regenera la información de conversación mediante el circuito transcodificador de señal vocal y el circuito codec la convierte en analógica para ser entregada al auricular o al altavoz.

Bloque de control

El sistema es supervisado por una sección de control que tiene en cuenta todos los modos de operación del terminal y minimiza el consumo global de energía.

Tecnologías avanzadas de integración

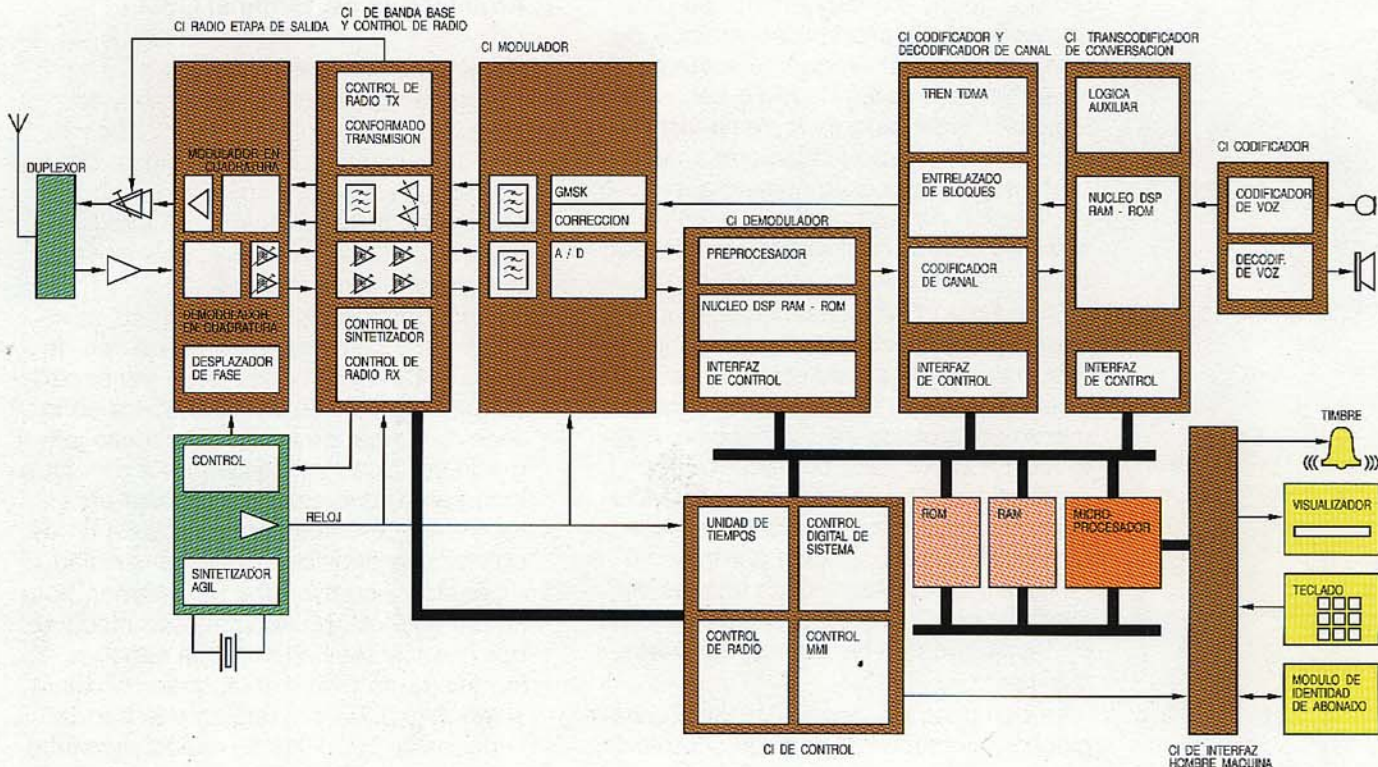
El coste de un circuito integrado de aplicación específica (ASIC) está inicialmente determinado por su área, que es función de su mínima dimensión característica (mínima anchura de una pista metálica o tamaño del elemento activo mas pequeño). Como los ASIC representan una parte sustancial del coste del terminal GSM, es esencial tener cuidado al seleccionar la tecnología óptima de fabricación de los mismos, teniendo en cuenta factores como la evolución de la tecnología y sus prestaciones intrínsecas.

Evolución de la tecnología de integración

Los objetivos de coste para los terminales GSM se han reflejado en la elección de la tecnología de integración. Los ASIC tienen que ser diseñados con una tecnología que en el momento de comenzar la producción esté en el estado del arte. Esto nunca es fácil, puesto que el diseño del circuito integrado se realiza en una fase todavía inmadura del proceso utilizado, de sus bibliotecas y herramientas de diseño. La Figura 2 presenta una gráfica simplificada de la evolución de la tecnología CMOS.

Los circuitos integrados digitales para la estación móvil se han diseñado con tecnología CMOS de 1,2 µm, mientras que los circuitos integrados analógicos

Figura 1
Arquitectura del
terminal portátil GSM.



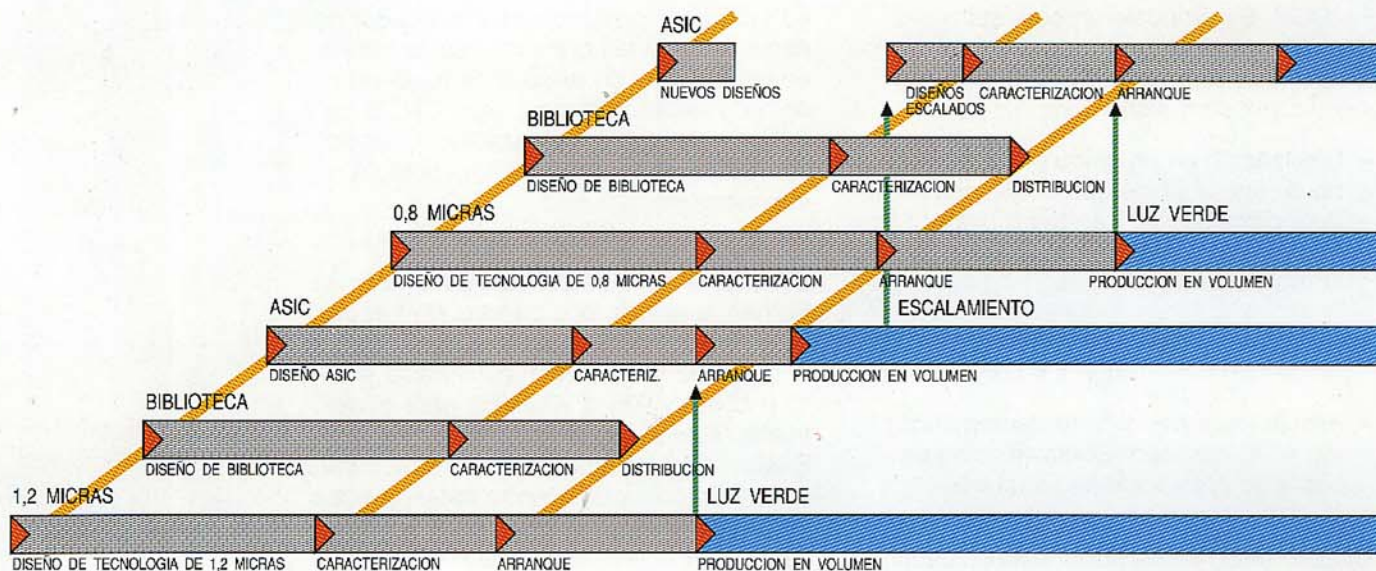


Figura 2
Tecnologías CMOS
VLSI para terminales
GSM.

se han basado en una tecnología de $1,5\ \mu\text{m}$. Ambas tecnologías están completamente maduras en este momento en que la producción ha comenzado. Los ASIC para la estación portátil fueron inicialmente diseñados en tecnología CMOS de $1,2\ \mu\text{m}$, pero escalable de modo que se puedan procesar con tecnología de $0,8\ \mu\text{m}$ cuando esté lo suficientemente madura. Los circuitos analógicos también siguen esta tendencia tecnológica desplazándose al CMOS analógico de $1,2\ \mu\text{m}$.

La próxima generación de terminales GSM también se diseñará aprovechando la última tecnología de integración disponible cuando se introduzcan en el mercado.

Prestaciones intrínsecas

El criterio de selección mas importante para integrar funciones analógicas, especialmente en alta frecuencia, se basa en las prestaciones intrínsecas de la tecnología asociadas a su coste, como se ilustra en el circuito RF de la etapa de salida (Figura 3). Todas las partes de radio activas están integradas en este circuito, que es el corazón de la sección de radio. Convierte la señal modulada en GMSK a la banda superior de transmisión y la señal recibida en la banda de recepción a la banda base⁴.

El diseño y la selección de tecnología han sido limitados por los exigentes requisitos del sistema, que incluyen baja figura de ruido, baja distorsión, alta precisión en la señal recibida y baja tensión de alimentación y bajo consumo.

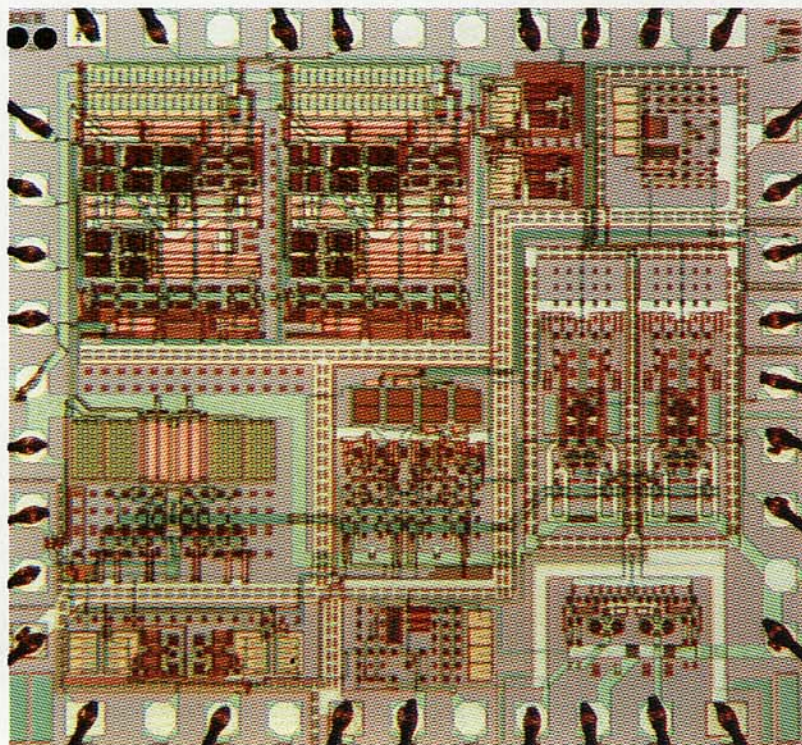
Se ha seleccionado una tecnología bipolar al estado del arte con frecuencia de corte de $10\ \text{GHz}$, que ha permitido la realización de las funciones completas de recepción y transmisión en un único

circuito integrado. La solución en silicio bipolar no solo ha hecho posible aumentar el nivel de integración al máximo, sino que ha permitido beneficiarse de unos mejores costes que los de soluciones alternativas basadas en tecnología de Arseniuro de Galio (AsGa).

Alternativas en arquitectura

Desde el comienzo, los estudios del sistema tenían como objetivo el desarrollar una arquitectura con un consumo de energía mínimo y eficaz para los termina-

Figura 3
Microfotografía de un
circuito integrado RF.



les GSM. Se propusieron conceptos originales en arquitectura que se llevaron a cabo y se han conseguido tres logros significativos en dicho campo:

- Realización en un único circuito integrado de las funciones de codificación/decodificación de canal, incluyendo un decodificador Viterbi dedicado a convolución de códigos.
- Utilización del principio de conversión directa en transmisión y en recepción.
- Arquitectura del circuito demodulador del ASIC que optimiza la relación en coste de prestaciones/circuitería.

Circuito único codificador / decodificador de canal

En la dirección de transmisión, el circuito integrado codificador/decodificador de canal⁵ recibe la voz, los datos y la señalización. Organiza la codificación convolucional por bloques y se responsabiliza del reordenamiento de bits y del entrelazado de bloques y finalmente entrega los bits codificados en trenes TDMA (acceso múltiple por división en el tiempo)⁶. La función básica del codificador/decodificador de canal es proteger el flujo de información contra el ruido, cambiando dinámicamente las condiciones de transmisión para evitar las interferencias.

El proceso inverso tiene lugar simultáneamente en la dirección de recepción, donde el decodificador extrae la información original usando al máximo los bits redundantes introducidos por el codificador.

Debido a que el procesamiento de los datos del codificador/decodificador de canal se basa principalmente en manipulación de bits, reordenación de los mismos y operaciones aritméticas sería posible vislumbrar una realización basada en un microcontrolador o un procesador digital de señal (DSP), sin embargo tal solución no sería óptima, e incluso no sería factible teniendo en cuenta el volumen de los componentes, el consumo de potencia y la velocidad de proceso.

Se ha seleccionado como solución para los objetivos propuestos el diseño de un único circuito integrado. Este circuito incorpora un decodificador dedicado tipo Viterbi para extraer los datos originales. El compromiso entre velocidad de decodificación y área activa se ha resuelto con un decodificador Viterbi con arquitectura tipo dominó de 4 etapas. La memoria en el circuito se redujo al máximo optimizando la circuitería de entrelazado y decodificación.

El circuito codificador/decodificador de canal, una de las primeras realizaciones en un ASIC de un decodificador Viterbi, se ha diseñado en tecnología CMOS de 1,2 μm con doble metalización. Cuando sea viable se realizará con tecnología submicrónica.

Estructura radio de conversión directa

Se han asignado dos bandas de frecuencia al sistema GSM: 890 a 915 MHz para el canal de ida (unidad móvil hacia estación base) y 935 a 960 MHz para el de vuelta (estación base a unidad móvil). Existen dos procedimientos posibles para realizar la conversión entre estas bandas de frecuencia y la banda base, donde tiene lugar el proceso de la señal digital: sin frecuencia intermedia (IF) o con una o mas frecuencias intermedias. La segunda alternativa (heterodinación) se usa normalmente, pero tiene unas desventajas importantes en costes y energía consumida.

La primera alternativa (homodinación) es la más eficiente en coste y consumo, pero es difícil de incorporar, especialmente en el trayecto de recepción. Sin embargo, ha sido seleccionada la solución homodina en ambos trayectos, el de transmisión y el de recepción, para alcanzar los objetivos de coste y de consumo⁴.

En GSM, la transmisión tiene lugar en forma de trenes de corta duración, considerándose un desafío técnico importante la realización de un receptor homodino. El mayor problema reside en la cancelación de niveles de desplazamiento que se generan por el automezclado de señales de interferencias de alto nivel, acoplamiento del oscilador local y otras muchas perturbaciones. Resultado de la transmisión GSM es un ruido en la banda útil de señal. El desafío consistió en buscar un método fiable para eliminar tal ruido; se ha encontrado y realizado un procedimiento adecuado.

Arquitectura del demodulador

En el camino de recepción, el circuito integrado demodulador proporciona la información necesaria para la sincronización con la estación base y compensa las perturbaciones de señal causadas por el canal de comunicaciones, desvanecimiento por trayecto múltiple, alta interferencia y efecto Doppler. Demodula las señales GSM digitalizadas I y Q (en fase y en cuadratura), decodifica los diferentes formatos impulsivos de GSM y proporciona la corrección automática del nivel

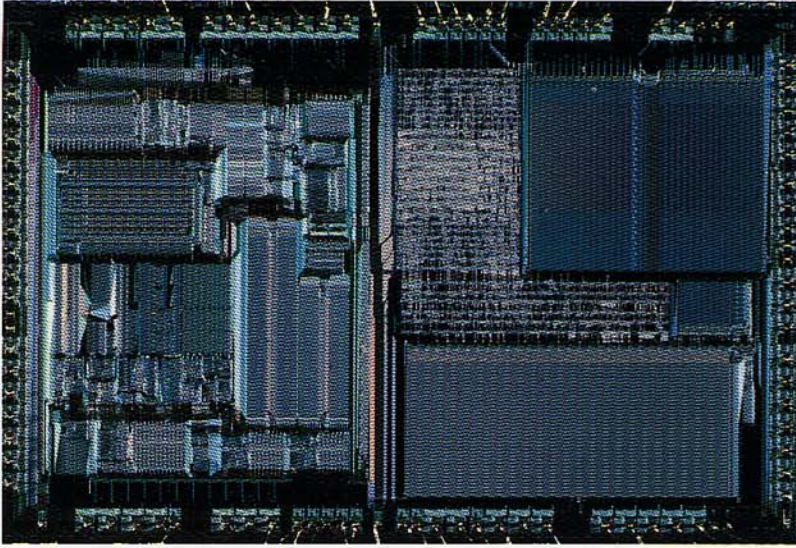


Figura 4
Microfotografía del
circuito integrado
transcodificador de
señal vocal.

de desplazamiento en continua. Además, mide el nivel de la señal y su desplazamiento en frecuencia.

La realización integrada óptima se consigue asociando un núcleo programable de DSP con una lógica dedicada para preproceso que reduzca la carga de proceso en el DSP. El núcleo DSP, que se ha diseñado específicamente para aplicaciones GSM, ejecuta el programa cableado para demodulación. La lógica de preproceso se ha diseñado para liberar al núcleo del DSP de tareas repetitivas que consumen tiempo y recursos. Controla la estimación del nivel de desplazamiento en continua, los cálculos de potencia y la sincronización de frecuencia, reduciendo por lo tanto drásticamente la necesidad de carga por proceso de señal y de capacidad de memoria de datos y aumentando al máximo la relación prestación/coste de la función de demodulación.

Metodologías de diseño

Sistemas sobre silicio

Las funciones de proceso de datos GSM, como la actualización de canal, la demodulación, y la transcodificación de la conversación (señal vocal) se realizan mediante complejos algoritmos que se ejecutan en núcleos de potentes DSP incluidos en los circuitos integrados. De hecho estos ASIC, *sistemas sobre silicio*, son componentes adelantados de una nueva generación ASIC. De nuevo se ofrece a los ingenieros un nuevo concepto y un nuevo desafío.

El desarrollo del software para un núcleo de DSP inserto en el circuito es un problema, puesto que debe ser graba-

do en el silicio para ser ejecutado en la máquina deseada. Sin embargo, al ser un objetivo importante en el diseño de circuitos integrados que *"el silicio debe funcionar correctamente a la primera"*, ello implica que el programa grabado debe depurarse *antes* de que se procese el silicio.

Antes, el enfoque del desarrollo se basaba principalmente en su emulación o prototipación. Sin embargo, actualmente, y para proyectos futuros, esto no es aplicable por dos motivos principales. Primero: no hay muestras de silicio del DSP debido a que los circuitos integrados demodulador y transcodificador en banda vocal utilizan un nuevo DSP que se está diseñando al mismo tiempo que los circuitos. Segundo: como los circuitos integrados deben operar a 26 MHz, es difícil construir una herramienta de emulación que opere a dicha velocidad nominal, lo que hubiera modelado correctamente el comportamiento en el tiempo.

Se ha desarrollado un procedimiento para superar estos problemas^{7,8}. Fue probado por primera vez en el circuito transcodificador de señal vocal (Figura 4), y se está convirtiendo en una metodología estándar debido a que mejora la eficacia del diseño y reduce, en los circuitos integrados complejos, el tiempo para su comercialización.

La estrategia se basa en un simulador que es de hecho un *emulador genérico* configurado al diseño, que asegura la concordancia entre los resultados de la simulación y la realidad. La principal ventaja de esta metodología de simulación es que proporciona de forma intrínseca mayores facilidades de depuración que un emulador realizado en circuitería (p. ej., todos los nodos son rastreables). Además, la simulación proporciona una visión del comportamiento del sistema en tiempo real.

El diagrama de flujo del desarrollo se muestra en la Figura 5. Anteriormente, el intercambio de información entre los equipos de diseño de circuitos integrados y de sistemas se había limitado a la transferencia de especificaciones, con una completa verificación entre ellas y las muestras de silicio de la etapa final. Con el nuevo procedimiento se introducen bucles de realimentación en una fase temprana del diseño. En cada etapa del diseño, el equipo de diseño de circuitos integrados proporciona una visión intermedia del comportamiento de su circuito, que es utilizada por el equipo de diseño de sistemas para llevar a cabo comprobaciones sobre la coherencia entre la espe-

cificación y el diseño, a la vez que una simulación del sistema completo, incluyendo el software. Las últimas etapas de diseño del ASIC solamente se llevan a cabo cuando se han realizado simulaciones completas del sistema.

Existen tres ventajas principales con esta metodología de simulación. La primera es que el tiempo de desarrollo puede ser menor y mas controlado. La segunda es el poder evaluar, si es necesario, más de una arquitectura y la tercera es que el desarrollo permanece durante mas tiempo independiente de la tecnología y permite una mayor adecuación de la tecnología a la complejidad

Esta metodología esta actualmente surgiendo en la comunidad de diseñadores de ASIC, y se basa principalmente en VHDL (lenguaje de descripción del hardware de circuitos integrados). Indudablemente, este lenguaje, con su capacidad de descripción multinivel (comportamiento, nivel de transferencia a registro, puertas) puede optimizar la colaboración entre los equipos que desarrollan el software, el ASIC y el sistema.

Diseño para pruebas

La prueba de ASIC complejos tiene un impacto importante en la calidad del producto y coste. Como ambos son cruciales para el éxito de productos de usuario final, como los terminales GSM, se ha dedicado un considerable esfuerzo al *diseño para pruebas*, especialmente en aquellos circuitos integrados con núcleo de DSP programable integrado. En este número se puede encontrar un estudio completo de diseño para pruebas⁹.

Integración máxima

Un objetivo importante de desarrollo era el que los terminales GSM debían ser competitivos con los ya maduros terminales analógicos en coste, duración de las baterías, volumen y peso. La máxima integración ha sido esencial para alcanzar esta meta. Esto ha requerido el uso de circuitos integrados que combinan tecnologías al estado del arte, con conceptos ambiciosos en arquitecturas y metodologías avanzadas de diseño y de pruebas. Al mismo tiempo, la integración supone un menor número de componentes discretos (reemplazados por sus equivalentes integrados) y la sustitución de componentes de valor ajustable por soluciones integradas alternativas.

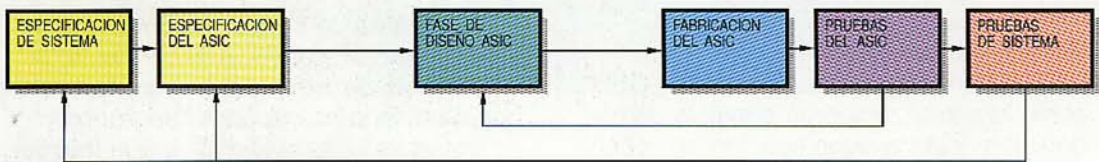
Los elevados niveles de integración también necesitan avanzadas técnicas de encapsulado tales como PQFP (encapsulado plástico de cuatro lados), TSOP (encapsulado delgado de pequeño contorno) y COB (circuito sobre placa) a fin de alcanzar el objetivo de peso y volumen.

Generaciones futuras

Los retos de hoy serán habituales el día de mañana. Sin embargo, la competencia continuará presionando con la aparición de nuevas generaciones de sistemas digitales, dentro o fuera del GSM.

Surgirán arquitecturas mas ambiciosas y aparecerán nuevas tecnologías VLSI, dejando obsoletos los actuales ASIC y demandando una mayor integración y nuevos avances en diseño y metodologías VLSI.

(a) DIAGRAMA CLASICO DE DESARROLLO



(b) NUEVO DIAGRAMA DE DESARROLLO

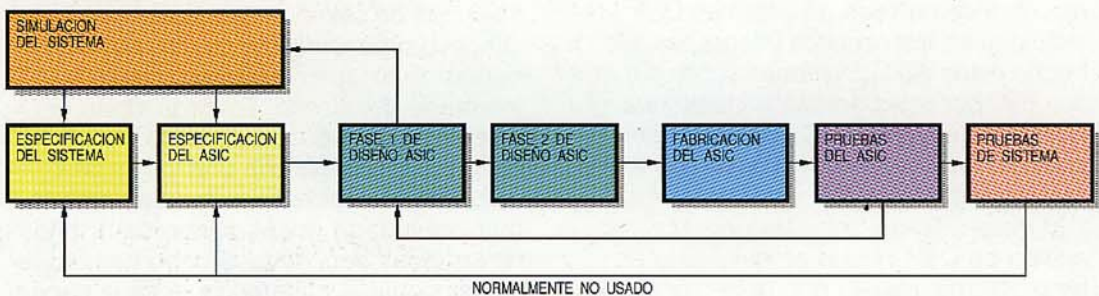


Figura 5 Diagrama de flujo para el desarrollo de un sistema en silicio.

Alcatel tiene la experiencia y el conocimiento para afrontar los nuevos desafíos de mediados de los noventa, y ya está preparando la nueva generación de sistemas GSM. Un nuevo conjunto de circuitos que está actualmente en desarrollo, con el soporte del EEC-JESSI (*Iniciativa Unida Europea para Silicio Submicra*), aprovechará totalmente las nuevas ideas sobre arquitecturas y nuevas tecnologías submicra para potenciar, aún más, el grado de integración, a la vez que tendrá en cuenta la evolución del Sistema GSM, tal como el estándar GSM-2.

Conclusiones

La introducción del sistema de radio celular digital paneuropeo GSM proporcionará a los usuarios móviles el acceso a canales de comunicación completamente digitales. Se han tenido que superar retos tecnológicos importantes para satisfacer los exigentes requisitos demandados por el sistema, asegurando la competitividad frente a los sistemas analógicos existentes. Alcatel ha utilizado tecnología de integración de vanguardia, ambiciosos conceptos sobre arquitecturas, y metodologías novedosas de diseño a fin de optimizar el grado de integración de los terminales GSM. El resultado ha sido un conjunto exclusivo de circuitos integrados de radio móvil, con mas de un millón de transistores, para su utilización en la primera generación de terminales GSM. Simultáneamente ha comenzado el desarrollo de las tecnologías que serán necesarias para afrontar los desafíos planteados por la próxima generación de equipos.

Referencias

1. J. Varin y J. Dulongpont: Technological Requirements for Advanced Development of GSM Digital Cellular Terminals: *Digital Mobile Radio Symposium*, Copenhagen Septiembre 1988.
2. M. Rahier, D. Rabaey, J. Dulongpont, P. Reusens, A. Vanwelsenaers, J. Wénin y R. Granek: VLSI Components for the GSM Pan-European Digital Cellular Radio System: *DMR-4*, Junio 1990, Oslo.
3. M. Rahier, D. Rabaey y J. Dulongpont: Componentes VLSI avanzados para la radio móvil celular: *Comunicaciones Eléctricas*, 1989, volumen 63, nº4 págs 409-414.
4. J. Sevenhans, A. Vanwelsenaers, J. Wénin y J. Baro: An Integrated SI Bipolar RF Transceiver for a Zero-IF 900 Mhz GSM Digital Mobile Radio Front End of a Hand Portable Phone: *IEEE-CICC Conference*, Mayo 1991, San Diego, California.
5. H. Busschaert, P. Reusens, L. Dartois y L. Desperben: A Power Efficient Channel Coder/Decoder Chip for GSM Terminals: *IEEE-CICC Conference*, Mayo 1991, San Diego, California.
6. J. Haspeslagh, D. Sallaerts, S. Reusens, A. Vanwelsenaers, R. Granek y D. Rabaey: A 270 Kb/s 35 mW Modulator IC for GSM Cellular Radio Hand-Held Terminals: *IEEE-JSSC*, Diciembre 1990, págs 1450-1457.
7. E. Vanzielegheem: VHDL and Synthesis Based ASIC Design, A Case Study: *First European Working Conference on VHDL Methodology*, Septiembre 1990, Marsella.
8. L. Dartois, J. Dulongpont, E. Vanzielegheem: Use of DSP Core in Application Specific Integrated Circuits: *Telecom 91*, Ginebra, 1991.
9. E. Huyskens, G. Van Wauwe, W. Fonden y R. Schulz: Diseño VLSI para pruebas: *Comunicaciones Eléctricas*, Volumen 65, nº 1, págs 175-182 (en este número).

Dirk Rabaey nació en Veurne, Bélgica, en 1957. Se graduó en ingeniería electrónica en la Universidad Católica de Lovaina en 1980. El mismo año se incorporó en el departamento de microelectrónica de Alcatel Bell Telephone donde ha participado activamente en el diseño de circuitos integrados para aplicaciones de telecomunicaciones. Su mayor interés se centró en el diseño de convertidores A/D y D/A de altas prestaciones para circuitos de línea y RDSI. En 1987 fue nombrado jefe del centro de diseño y pruebas de circuitos VLSI. En la actualidad es jefe de la división de microelectrónica y tecnología hardware de Alcatel Bell Telephone. Desde principios de 1990 es investigador principal de microelectrónica en Alcatel. El Sr. Rabaey es miembro del IEEE Benelux Section Council.

Jaques Wénin nació en Namur, Bélgica, en 1957. Se graduó en física en 1979 y en ingeniería eléctrica y electrónica en 1982 en la Universidad Católica de Lovaina La-Neuve. Se incorporó al centro de diseño de circuitos VLSI en Alcatel Bell Telephone donde desarrolló herramientas de verificación por ordenador basadas en sistemas expertos. Desde 1988 ha estado trabajando en el desarrollo de terminales GSM como diseñador de sistemas. Desde 1990, El Sr. Wénin es responsable de la coordinación de los proyectos relacionados con GSM en Alcatel Bell Telephone.

Luc Dartois nació en 1957. Se graduó en 1979 como ingeniero de la Ecole Nationale Supérieure d'Electronique et d'Electricité de Grenoble. Al año siguiente se incorporó a Thomson CSF Télécommunications donde estudió y desarrolló sintetizadores de altas prestaciones, arquitecturas y subestructuras para proceso de señales para receptores estratégicos VLF, LF Y HF, goniómetros y transceptores VHF de salto de frecuencia. El Sr. Dartois se incorporó a Alcatel Radiotelephone en 1988 donde lidera actualmente desarrollos en proceso digital de señal.

Jaques Dulongpont nació en 1951. Se graduó en el Institut National des Sciences Appliquées de Lyon en 1975 y en el Institut d'Economie et des Sciences pour Ingénieurs de Lille en 1976. Posteriormente se incorporó a Thomson CSF como ingeniero de desarrollo con responsabilidad en el desarrollo de circuitos integrados analógicos y digitales, pasando luego a hacerse cargo de la introducción de nuevas herramientas de ayuda por ordenador. El Sr. Dulongpont se incorporó a Alcatel Radiotelephone en 1988 donde está actualmente a cargo del centro de diseño de circuitos integrados.

Diseño e introducción de MMIC de AsGa en los sistemas de telecomunicación

Alcatel está muy involucrada en el diseño de los MMIC de AsGa, que se están introduciendo en los sistemas de transmisión por microondas. En este artículo se resaltan algunos de los resultados obtenidos.

M. André

Alcatel Telspace, Francia

G. De Roeck

G. Van Koetsem

R. Verbiest

Alcatel Bell Telephone, Amberes, Bélgica

Introducción

Hasta hace poco, y aún en la actualidad, los sistemas de telecomunicación por microondas se han basado en subsistemas de microondas (amplificadores de potencia media y ruido bajo, mezcladores, osciladores) contruidos con tecnología híbrida de microbandas. Hoy, sin embargo, el progreso de la tecnología MMIC (*microwave monolithic integrated circuit*) permite la integración en el mismo sustrato de transistores, diodos, condensadores, bobinas y circuitos de adaptación. Esto posibilita la realización de un sistema de microondas completo en un único circuito, empleándose generalmente el arseniuro de galio como material del sustrato.

A pesar de las ventajas de la tecnología MMIC en la producción a gran escala, esta tecnología no ha llegado aún a las aplicaciones comerciales. Una de ellas es su bajo coste, resultado de varios factores. En primer lugar, un único circuito puede cubrir diferentes bandas de frecuencias, por lo que se puede aumentar el número de unidades fabricadas y aprovechar la economía de escala. En segundo lugar, se reduce de manera significativa el tiempo de ensamblaje al disminuir sustancialmente el número de sustratos, resultado del mayor nivel de integración. Y finalmente, se reduce el tiempo de sintonía.

Otra ventaja es la mejora del rendimiento debido a que el pequeño número de interconexiones disminuye los elementos parásitos. Una ventaja final es su alta fiabilidad.

Alcatel ha diseñado MMIC durante años y ha obtenido excelentes resultados con:

- Conmutadores, desfasadores y amplificadores de banda S
- Amplificadores de potencia media y secciones de sintonía de receptores banda C y banda X
- Amplificadores, convertidores y desfasadores de banda Ku.

Actualmente, se están integrando diferentes circuitos MMIC en los enlaces de radio por microondas.

Están en curso diferentes estudios en el laboratorio Lemmic de Alcatel, responsable del diseño y prueba de los MMIC de AsGa. Los siguientes son algunos de los MMIC actualmente en desarrollo:

- Secciones de sintonía, amplificadores y osciladores que trabajan a 1,8 GHz
- Secciones de sintonía, amplificadores y osciladores que trabajan hasta 24 GHz

Se emplean estos MMIC en satélites para reducir tamaño y peso, en radio enlaces para bajar los costes y en sistemas de comunicación móvil para disminuir el consumo de potencia y el coste.

Sección de sintonía MMIC para enlace urbano de 15 GHz

Se ha desarrollado una sección de sintonía MMIC para emplear en enlaces urbanos que funcionan en la banda de 15 GHz. Ofrece una mejor prestación del sistema que los actuales mezcladores de guíaondas, a los que sustituirá. La nueva sección de sintonía se realiza en dos circuitos MMIC: un LNA (amplificador de bajo nivel de ruido) de tres etapas

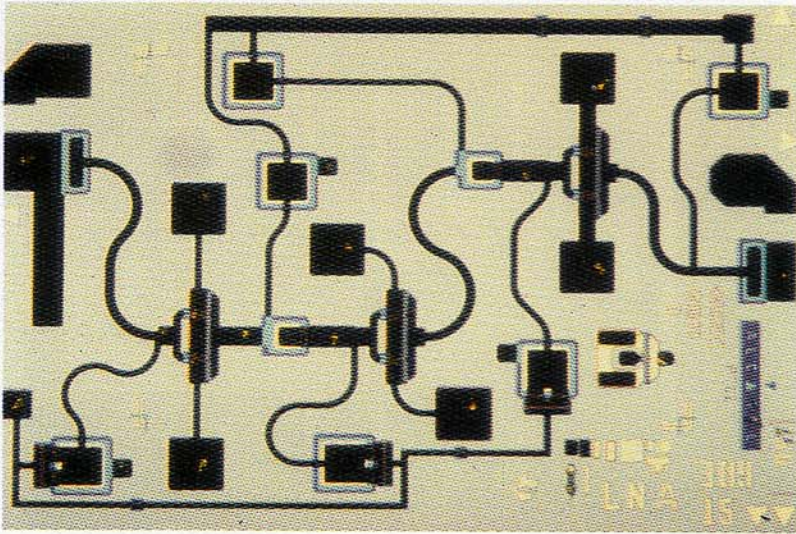


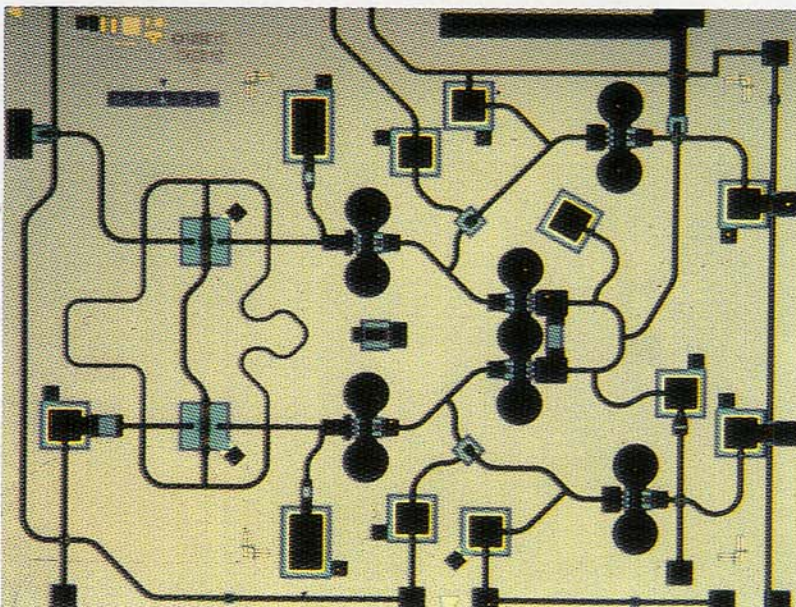
Figura 1
Amplificador de bajo nivel de ruido de 15 GHz.

con ganancia de 23 dB y factor de ruido de 3 dB y un mezclador de rechazo de imagen FET con ganancia de conversión de 3 dB y rechazo de imagen de 15 dB. Se obtuvieron estos resultados tras una primera iteración de procesamiento en la fundición del suministrador de silicio. Con esta sección de sintonía, el factor de ruido total del receptor estará alrededor de los 4 dB, factor de ruido que posibilitará o incrementará la longitud de la trayectoria de reflexión o reducir la potencia de transmisión.

Amplificador de bajo nivel de ruido

El LNA mostrado en la Figura 1 emplea realimentación inductiva para obtener una adaptación de ruido óptima junto a una atenuación de la señal de entrada razonable. Se ha comprobado que la realimentación inductiva es muy apropiada para su

Figura 2
Mezclador de rechazo de imagen de 15 GHz.



empleo en la tecnología MMIC, tanto en banda X como en banda Ku^{1,2,3}. La realimentación exenta de pérdidas afecta a la ganancia disponible y al factor de ruido mínimo del dispositivo de tal forma que este factor de ruido permanece constante. Por otro lado, la inductancia de realimentación influye sobre el factor de estabilidad K y el compromiso adaptación de ruido / adaptación de potencia. Se ha elegido la inductancia de realimentación para conseguir que la impedancia de entrada óptima con bajo nivel de ruido esté muy próxima a la correspondiente impedancia de entrada de adaptación, mejorándose a su vez la estabilidad. En las dos primeras etapas del LNA, se hace énfasis en la impedancia de entrada óptima, mientras que en la tercera etapa se optimiza la estabilidad.

Se han hecho medidas sobre el LNA empleando pruebas eléctricas sobre obleas y en adaptadores de prueba. Los resultados indican que el amplificador tiene una ganancia de 23 dB y una atenuación de la señal de entrada de unos 12 dB en un ancho de banda del 10%. Normalmente el factor de ruido es de 3 dB, con el punto de compresión de 1 dB en +10 dBm.

Mezclador de rechazo de imagen

El mezclador (Figura 2) incorpora el rechazo de imagen para suprimir el ruido de imagen generado por el LNA, cosa que no se puede lograr con filtros, ya que las señales de imagen y RF (radio frecuencia) se encuentran en la misma banda de frecuencia. El rechazo de imagen se basa en el principio de cancelación de fase^{4,5}.

El mezclador de rechazo de imagen consta de dos mezcladores FET asimétricos, un híbrido de 90° para RF, etapas separadoras de RF y un divisor de potencia LO (*local oscillator*) activo. El híbrido de 90° es una versión del elemento de acoplador de líneas de tres secciones, donde cada línea de $\lambda/4$ se ha sustituido por una red Π LC⁶. Las inductancias se realizan empleando, en lugar de bobinas de inductancias en espiral, líneas de transmisión de alta impedancia. Este método de elemento localizado permite la implantación de acopladores más pequeños.

Se eligió un acoplador de líneas de tres secciones por su mayor ancho de banda, lo que le hace menos sensible a las variaciones de funcionamiento y a los errores de modelado. Como se emplean mezcladores FET de puerta única con inyección de puerta de potencia RF y LO, ambas

se pueden combinar. A la vez las entradas deben de estar lo suficientemente aisladas unas de no otras, lo que no se puede lograr empleando diplexión dependiente de la frecuencia, ya que las frecuencias de RF y LO se encuentran en la misma banda, por lo que se emplean etapas separadoras, que tienen la ventaja añadida de compensar las pérdidas de la división y mezcla de potencias. Las etapas separadoras LO se emplean también en la división de potencia en fase de la señal LO.

La división de la potencia activa permite una combinación eficaz en las bajas potencias LO (menos de 0 dBm). La señal RF/LO combinada se aplica en la puerta de los FET mezcladores y se refleja en la fuente del mezclador. Ambas señales IF (*intermediate frequency*) se mezclan fuera del circuito en un híbrido IF de 90° a 480 MHz, después de que se haya podido seleccionar la deseada banda lateral y que la señal de imagen haya terminado. Como toda la circuitería IF está fuera del circuito se puede usar, virtualmente, cualquier frecuencia IF. La ganancia de conversión está alrededor de los 3 dB y el rechazo de imagen es mayor de 15 dB, lo que es suficiente para la supresión eficaz del ruido de imagen.

Sección de entrada del receptor

Los dos circuitos MMIC se montan en una cápsula hermética (Figura 3) con una adaptador guíaonda-coaxial-microbanda en la entrada, conectado directamente al filtro paso banda de la guíaonda del sistema de enlaces urbano. El tamaño del conjunto (sin el adaptador de guíaondas) es de 18x35,8x10,6 mm. Como se muestra en la Figura 4, la sección de entrada tiene una ganancia de conversión de más de 25 dB y un factor de ruido menor de 4 dB. Se incluyó el filtro paso banda para conseguir una medida de factor de ruido correcta. Las medidas de compresión e IMD (*intermodulation distortion*) revelan unos valores similares a los de los circuitos individuales. Las pruebas del sistema confirman la esperada mejora de la sensibilidad del sistema: las curvas de BER (*bit error rate*) se desplazan más de 3 dB respecto a las medidas sobre el mezclador de guíaondas original.

Amplificador de potencia de 1 vatio

Se ha diseñado un amplificador de potencia de tres etapas para su empleo en diferentes tipos de enlaces de radio por

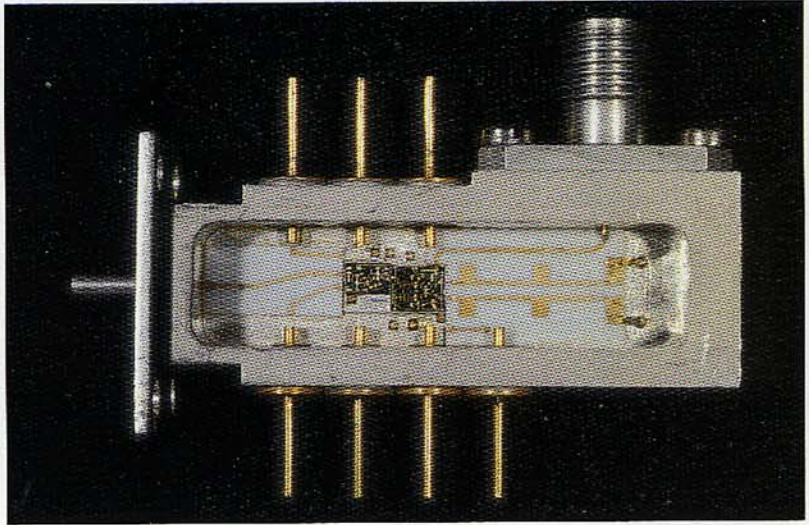


Figura 3 Encapsulado de sección entrada de receptor MMIC con entrada de guíaonda.

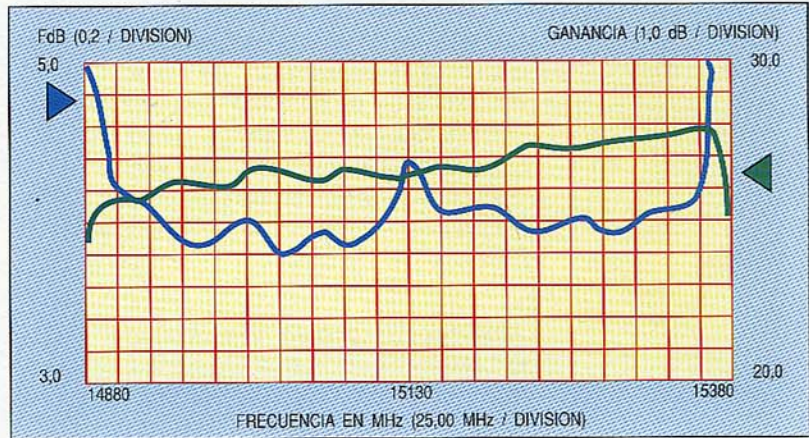
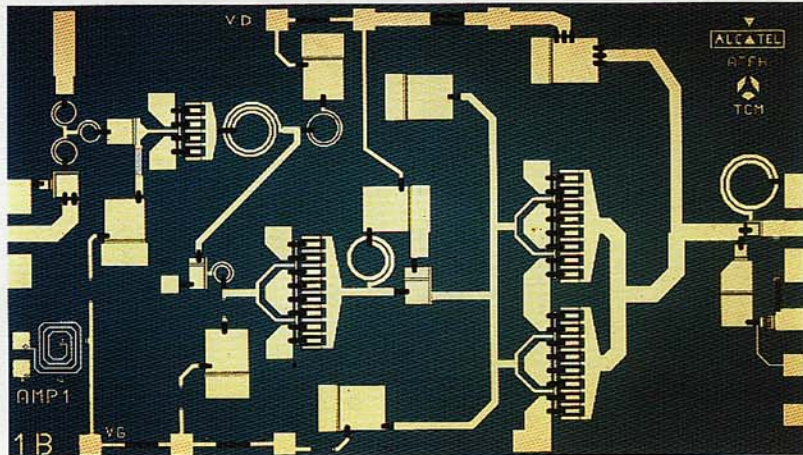


Figura 4 Ganancia de conversión y factor de ruido en el receptor de enlace urbano.

Figura 5 Circuito de amplificador de potencia de 1 vatio.



microondas, que funcionan en la gama de frecuencias de 5,9 a 8,5 GHz. Suministra una potencia de salida de 30 dBm con compresión de 1 dB.

El diseño del amplificador de potencia comienza con la determinación del ancho de puerta total de la última etapa para minimizar el consumo de potencia necesario en la obtención de la potencia de salida deseada. Se empleó un proceso de potencia AsGa con una longitud de puerta de $0,7 \mu\text{m}$; la última etapa tenía una anchura total de $2880 \mu\text{m}$, con dos transistores de $16 \times 90 \mu\text{m}$. La segunda etapa emplea un transistor de $1440 \mu\text{m}$ ($16 \times 90 \mu\text{m}$), y la primera etapa un transistor de $600 \mu\text{m}$ ($8 \times 75 \mu\text{m}$) para lograr la potencia y ganancia necesaria con un mínimo de alinealidad⁷. La dimensión total del circuito (Figura 5) es de $3,5 \times 2 \text{ mm}$.

Se hicieron las medidas sobre estos circuitos amplificadores empleando pruebas eléctricas a bajo nivel de obleas y un adaptador de pruebas. En el segundo caso, se aplicó toda la potencia para determinar las características del rendimiento de potencia.

Resultados medidos

Como se muestra en la Figura 6, la ganancia lineal fue de 22 dB. Además, el amplificador de potencia de 1 vatio tuvo una atenuación de la señal de entrada de unos 15 dB y una potencia de salida sobrante de 29,5 dBm.

Se obtuvieron estos resultados en una primera pasada. Se realizó una segunda iteración para incrementar ligeramente la potencia de salida (a más de 30 dBm) y mejorar el rendimiento de la producción.

Conclusiones

Alcatel ha desarrollado una serie de circuitos MMIC para emplear en sus productos. Un ejemplo es la sección de entrada de receptor que se realizó con dos circuitos. Sobre un circuito está un LNA de tres etapas, construido empleando realimentación inductiva, alcanzándose una ganancia de 23 dB, un factor de ruido de 3 dB y una atenuación de la señal de entrada de 12 dB. En el otro circuito hay un mezclador de rechazo de imagen que emplea FET como dispositivos de mezcla, un acoplador de 90° de elemento localizado y un divisor de potencia LO activo. El mezclador tiene una ganancia de conversión de 3 dB y un rechazo de imagen de 15 dB, con una potencia de LO menor de 0 dBm. Ambos circuitos se

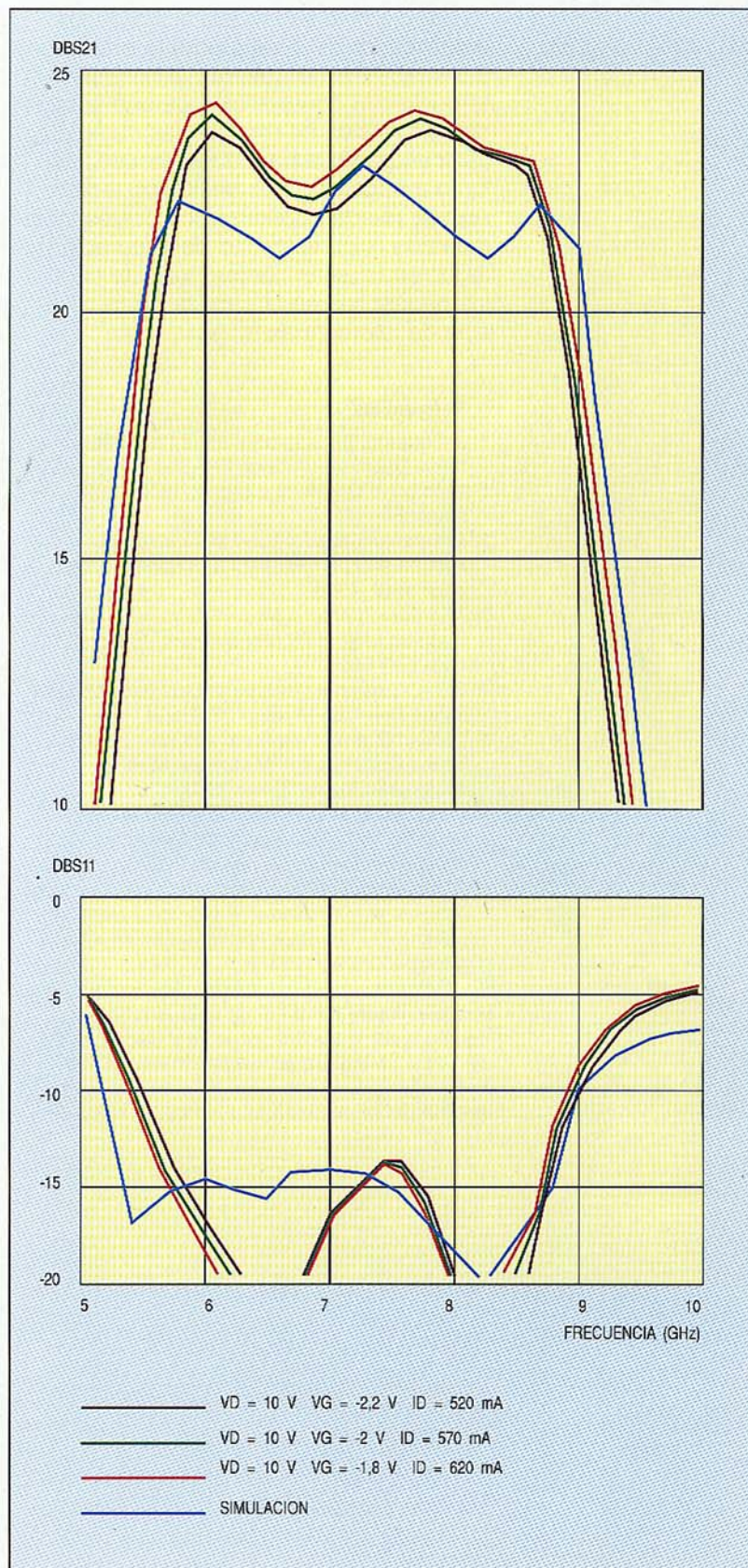


Figura 6
Amplificador de potencia de 1 vatio: ganancia de señal pequeña.

montan en una cápsula hermética con una entrada de guíaonda. El receptor completo tiene una ganancia de conversión de 25 dB y un factor de ruido menor de 4 dB.

Otro ejemplo es la realización de un amplificador de 1 vatio para la banda de 5,9 a 8,5 GHz, lo que ha hecho finalmente posible la construcción de una cabeza de transmisión de microondas completa para una amplia banda de frecuencias, junto a otros circuitos MMIC existentes. Aún se pueden optimizar los costes incrementando la complejidad de integración y reduciendo así el número total de circuitos necesarios en la cabeza de transmisión de microondas.

Referencias

- 1 J. Engberg: Simultaneous Input Power Match and Noise Optimization Using Feedback: *European Microwave Conference Digest*, 1974, págs 385-389.
- 2 R. Lehmann et al: X-band Monolithic Series Feedback LNA: *IEEE MTT-33*, Diciembre 1985, págs 1560-1566.
- 3 R.D. Eppich et al: A Monolithic Variable Gain Ku-band LNA: *IEEE MTT-S Digest*, 1989, págs 529-532.
- 4 S.C. Cripps et al: An X-band Dual Gate MESFET Image Rejection Mixer: *IEEE Digest*, 1978.
- 5 D. Neuf et al: Conventional and New Applications for the Quadrature IF Microwave Mixer: *Microwave Journal*, Enero 1983.
- 6 J. Putnam et al: A Monolithic Image Rejection Mixer on AsGa Using Lumped Elements: *Microwave Journal*, Noviembre 1987.
- 7 G. Montoriol, C. Rumelhard, y I. Tellier: Conception optimale et réalisation d'amplificateur MMIC de puissance: *Journées Nationales Microondes (Montpellier 89)*, 1989.

Monique André nació en 1954. Se graduó en ingeniería por la Ecole Supérieure d'Electricité, Gif sur Yvette en 1977 en Thomson CSF como ingeniero de desarrollo en el laboratorio de amplificadores de potencia. En 1988 se hizo cargo

del laboratorio de microondas del departamento civil de Alcatel Telspace. Desde 1989 la Sra. André se encarga del Laboratorio de diseño de MMIC Lemmic de Alcatel Telspace.

George De Roeck nació en Beveren, Bélgica, en 1948. Se graduó en ingeniería electrónica por la Escuela Técnica Superior Technicum de Amberes en 1970. En 1971 ingresó en Alcatel Bell Telephone como ingeniero de desarrollo en la división de sistemas de conmutación. Desde 1977 ha estado involucrado en el diseño circuitos integrados de microondas para diferentes familias de sistemas de retransmisores radio. En la actualidad, el Sr De Roeck es el jefe del grupo de desarrollo responsable del diseño de sistemas de alta frecuencia.

Guy Van Koetsem nació en Amberes en 1942. Se graduó en ingeniería electrónica en la Escuela Técnica Superior de Amberes en 1963. Dos años más tarde ingresó en Alcatel Bell Telephone como ingeniero de desarrollo en el departamento de sistemas retransmisores radio. En 1970 fue nombrado jefe del grupo de diseño de sistemas, y más tarde del grupo de diseño de microondas. En 1984, el Sr Van Koetsem fue nombrado ingeniero jefe del laboratorio de sistemas de microondas, para en 1990 hacerse cargo del desarrollo hardware de transmisión.

René Verbiest nació en Ostende, Bélgica, en 1938. Se graduó en ingeniería eléctrica y electrónica en 1962 por la universidad de Gante. Al año siguiente ingresó en OIP, donde se hizo cargo del trabajo de investigación y desarrollo sobre láseres y ópticas modernas (holografía, película delgada y fibra óptica). En 1979 pasó a Alcatel Bell Telephone donde comenzó actividades de investigación en óptica de fibras e integrada. Más tarde se involucró en el diseño de la tecnología digital AsGa y participó en un programa ESPRIT. En 1987 se hizo cargo del diseño MMIC de AsGa. En la actualidad, el Sr. Verbiest está trabajando temporalmente en el laboratorio Lemmic de Alcatel Telspace.

Circuitos integrados para transmisión a alta velocidad por fibra óptica

En la actualidad hay una necesidad de circuitos integrados monolíticos de alta velocidad, en el entorno de 2,5 Gbit/s. Al mismo tiempo, se están desarrollando circuitos integrados para la siguiente generación de velocidades de transmisión que estará en 10 Gbit/s o incluso más.

E. Gerhardt
R. Heidemann
W. Rohlmann
E. Schlag

Centro de Investigación de Alcatel SEL,
Stuttgart, Alemania.

Introducción

La gran capacidad de transmisión a alta velocidad de las fibras ópticas monomodo está estimulando el desarrollo de sistemas de transmisión de muy alta capacidad. La próxima generación de sistemas operará a 2,488 Gbit/s^{1,2}, aunque recientes pruebas de Alcatel han demostrado la factibilidad de una transmisión óptica de hasta 20 Gbit/s^{3,4}. Sin embargo, para realizar estas complejas funciones de alta velocidad, se requiere la integración monolítica. Los proyectos de investigación ya han empezado y tienen como objetivo desarrollar sistemas a 10 Gbit/s⁵.

Se ha desarrollado un conjunto de circuitos integrados para un sistema de transmisión a 2,488 Gbit/s, basado en un diseño totalmente a medida en tecnología bipolar de silicio de 2 μ m. Se presenta el trabajo actual sobre circuitos integrados a 5 Gbit/s y 10 Gbit/s y se mencionan las máximas velocidades de funcionamiento que se pueden alcanzar con tecnologías avanzadas de silicio.

Arquitectura del sistema

En la Figura 1 se muestra la estructura básica de un sistema de transmisión por fibra óptica. Un multiplexor en la parte transmisora combina dos o más (p. ej., dieciséis en un sistema MTS-16) canales de baja velocidad de transmisión para formar un único canal de alta velocidad de transmisión. El excitador del láser amplifica y forma esta señal para asegurar de manera óptima la modulación del diodo láser en los tiempos de subida y de bajada. A continuación, la salida óptica del diodo láser se transmite sobre una fibra óptica monomodo hacia un receptor óptico, el cual incluye un fotodiodo PIN o APD (fotodiodo de avalancha) para la conversión optoelectrónica. El preamplificador transforma la corriente generada por el fotodetector en una señal de salida, con una componente de corriente de ruido tan pequeña como sea posible. Seguidamente, el amplificador principal amplifica y recorta la señal, distribuyéndola a continuación a los circuitos de decisión y extracción de reloj. A la salida del

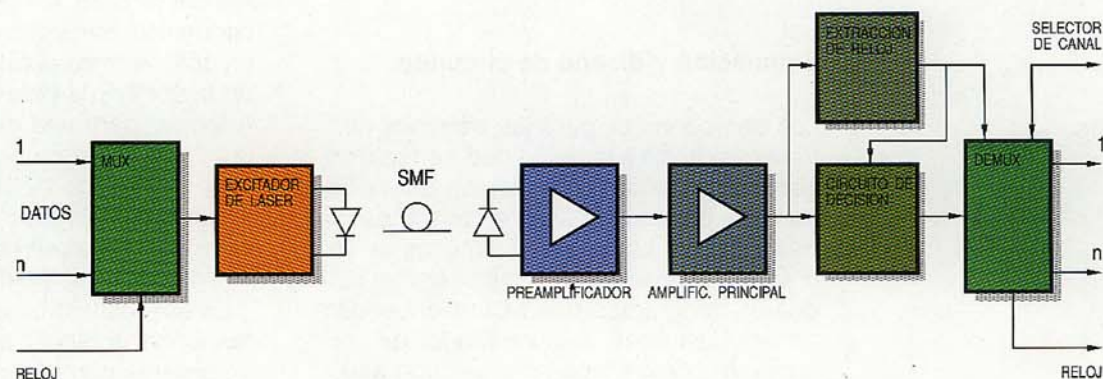


Figura 1
Esquema de bloques
de un sistema de
transmisión digital
por fibra óptica.

circuito de decisión y antes de ir al demultiplexor, la señal de datos se regenera en amplitud y tiempo. Con estas señales de datos y reloj, el demultiplexor regenera los canales de datos (dos o más) de baja velocidad originales. Para poder dirigir los canales de datos se suministra una entrada de selección de canal.

El regenerador de amplitud y tiempo se integra en un único circuito integrado, que consiste en un circuito de decisión y en la circuitería necesaria para recuperar el reloj con un filtro de ondas acústicas de superficie (SAW).

Alcatel SEL es el primer contratista del proyecto RACE R1051 dedicado a la investigación de la transmisión a 5 Gbit/s y 10 Gbit/s. Debido a que uno de los principales objetivos de este programa es el desarrollo de sistemas de bajo coste, el excitador del láser y el preamplificador se

das de colector abierto y entradas seguidoras de emisor.

Las salidas de colector abierto producen menos ruido que las salidas de seguidor de emisor ECL. Por ello, la tecnología E²CL permite unos márgenes de tensión considerablemente menores, que pueden usarse para aumentar la velocidad de funcionamiento y reducir el consumo. Por ejemplo, los circuitos diseñados operan con unos márgenes de tensión en las resistencias de carga internas de 250 mV. Este pequeño margen de operación requiere operar en modo diferencial, lo cual no solamente incrementa la ganancia en tensión y la capacidad de regeneración de pulsos, sino que también elimina la necesidad de tensiones de referencia exactas. Los efectos de los cambios de temperatura y de tensión de alimentación son mucho menores para el modo diferencial de operación que para el de simple terminación. Más aún, el modo diferencial de operación reduce las interferencias. Sin embargo, para conseguir las ventajas del modo diferencial, es necesario emplear puertas en serie para combinar señales lógicas de datos y reloj.

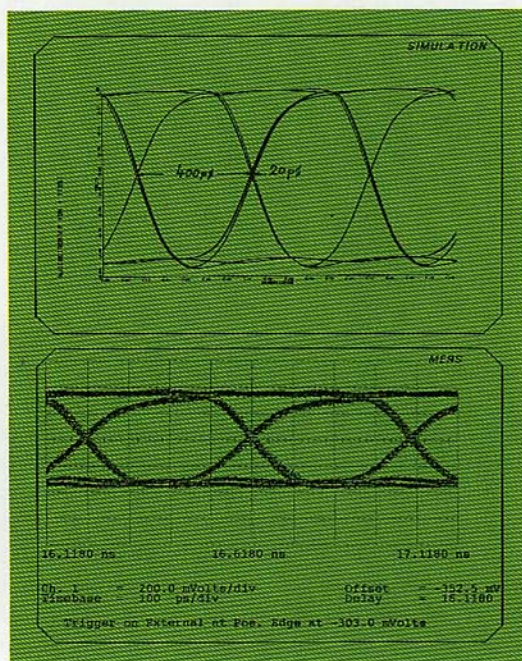
El procesamiento de la señal en el propio circuito integrado lo realiza, principalmente, una etapa de emisor cuando se requiere un bajo retardo de señal (p. ej., en divisores, biestables) o etapas del tipo Cherry-Hooper⁶, cuando se necesita un gran ancho de banda (amplificadores). Los seguidores de emisor se usan también para el desplazamiento de nivel y para la adaptación de impedancias en las entradas y entre los conmutadores internos de corriente.

No solamente hay que elegir topologías de circuitos apropiadas, sino que también hay tener mucho cuidado en el diseño del circuito para alcanzar la máxima velocidad. Esto incluye la optimización de las corrientes y resistencias en el circuito.

Otro factor importante para alcanzar la máxima velocidad es la optimización geométrica individual de todos los transistores del circuito. En general, la dimensión óptima del transistor es, principalmente, un compromiso entre la baja capacidad de la unión y la baja resistencia de base. Además, para una cierta corriente, el límite inferior del área del emisor debe calcularse intentando evitar su operación en la región de alta corriente o de cuas saturación, e incluso por debajo de las condiciones del peor caso.

Es esencial considerar circuito, esquema, encapsulado y placa impresa como un sistema completo^{7,8}. El circuito se

Figura 2
Señales de salida
medidas y simuladas
del multiplexor a
2,488 Gbit/s.



desarrollan conjuntamente en un circuito integrado de silicio.

Simulación y diseño de circuitos

Los componentes para los sistemas de transmisión de alta velocidad se realizan generalmente con CML (lógica de modo común). Existen varias alternativas basadas en CML. En nuestros circuitos se usa E²CL (lógica acoplada emisor-emisor), que es más rápida que ECL. Consecuentemente, se pone un conmutador de corriente como etapa principal con sali-

debe simular en su entorno considerando todos los componentes parásitos, tales como inductancia de los hilos de conexión, capacidad de los puntos de interconexión, capacidad del encapsulado, e incluso las inductancias de las conexiones a masa y a la alimentación.

Un diseño cuidadoso y una simulación precisa posibilitan el predecir con precisión la funcionalidad de los circuitos actuales. Como ejemplo, en la Figura 2 se comparan los diagramas de ojos medidos y simulados en el multiplexor de 2,488 Gbit/s.

En el caso del conjunto de circuitos de 2,488 Gbit/s, la terminación de la entrada se realizó usando resistencias de 50 Ω fuera del circuito integrado, suficiente para este margen de velocidades. Tiene la ventaja de su alta flexibilidad y de usar resistencias de baja tolerancia. Para circuitos integrados más rápidos, de 5 Gbit/s y 10 Gbit/s, las resistencias de terminación de entrada tendrán que ser situadas en el circuito integrado, por las mayores reflexiones causadas por la inductancia del hilo de conexión a estas velocidades de transmisión. Es más, las resistencias sobre el circuito integrado actúan de ayuda para las inestabilidades potenciales en los seguidores de emisor. Las etapas de salida de colector abierto, no solo son apropiadas para excitar líneas de transmisión de 50 Ω , sino que también amplifican los márgenes de tensión internos pequeños a márgenes externos mayores.

Los circuitos integrados de 2,488 Gbit/s se montan en encapsulados pequeños y planos. La simulación muestra que la funcionalidad de los circuitos integrados de 5 Gbit/s, y especialmente los de 10 Gbit/s, está fuertemente influenciada por los efectos parásitos del encapsulado. Por ello, está planificado el montar los circuitos integrados directamente sobre sustratos cerámicos.

Esquema

En la actualidad, las herramientas software de enrutado y posicionamiento no se pueden emplear satisfactoriamente en esquemas de circuitos integrados de alta velocidad. Es esencial transformar las características inherentes del diseño en la realización del esquema, que solo se puede alcanzar mediante un cuidadoso trabajo manual. Para obtener altas velocidades de funcionamiento, los principios del circuito deben reflejarse en el esquema. Los aspectos más importantes son:

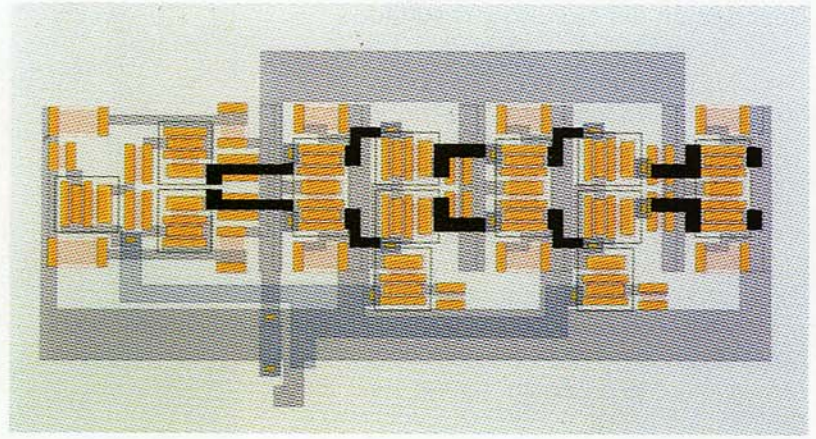


Figura 3
Esquema de la etapa de entrada a 2,488 Gbit/s.

- Las señales en las etapas diferenciales deben de ajustarse lo más posible y las longitudes de las líneas han de ser iguales.
- Todos los dispositivos, dentro de cada bloque, deben de tener la misma orientación para alcanzar el óptimo ajuste.
- Las interconexiones entre los puntos más sensibles del circuito, deben ser lo más cortas posibles, con una transmisión de datos lineal entre bloques de circuitos y dispositivos.

La Figura 3 muestra una memoria de entrada del regenerador de 2,488 Gbit/s, el cual considera todos los puntos mencionados.

Otro aspecto importante del diseño es la disposición geométrica de los subcircuitos dentro del circuito integrado. Una cuidadosa colocación de los subcircuitos, minimizando la distancia entre ellos, asegura su correcta orientación consiguiéndose un desacople óptimo entre las señales de entrada y de salida y las señales de reloj y de datos. Se pueden conseguir otras mejoras ajustando el tamaño y grosor del circuito integrado a la cavidad y altura del encapsulado o acercando lo más posible los puntos de conexión del circuito integrado a los terminales del encapsulado. De este modo, se pueden usar hilos de interconexión cortos minimizando, por lo tanto, las interferencias de las señales fuera del área del circuito integrado. El uso de conexiones separadas para la alimentación y tensión de referencia, cada una con su condensador interior, mejora la funcionalidad. La Figura 4 muestra el esquema del multiplexor de 2,488 Gbit/s desarrollado usando estos principios.

Descripción del circuito y resultados

Circuitos integrados de 2,488 Gbit/s
Los bloques de la Figura 1 se realizan normalmente con tecnología de integración monolítica, por lo que el sistema completo se puede realizar con pocos componentes discretos. La tecnología bipolar de silicio de 2 μm utilizada para estos circuitos, es una tecnología autoalineada con aislamiento del óxido de silicio, contactos de base de polisilicio, y resistencias de polisilicio. La frecuencia de transición f_T es de 8 GHz. El diseño del circuito se realizó para las peores condiciones de cambios de tensión de alimentación, de temperatura y tolerancia de los componentes. Los circuitos integrados encapsulados se montan en un circuito impreso FR4 multicapa, con líneas de interconexión de 50 Ω con los otros circuitos de la placa. Tres de los circuitos han funcionado durante más de dos años sin fallo en un sistema de pruebas de 2,24 Gbit/s de la Deutsche Bundespost^{1,2}.

Multiplexor: El multiplexor 2:1 usa entrelazado de bits para combinar dos señales NRZ (no retorno a cero) de entrada de 1,244 Gbit/s, obteniendo una señal de salida NRZ de 2,488 Gbit/s. El circuito completo del multiplexor tiene además del multiplexor, unos inversores para los datos de entrada, una etapa de salida en colector abierto, y un divisor de reloj adicional 2:1 para el reloj interno de 1,244 GHz. La Tabla 1 muestra datos medidos típicos del multiplexor. Un importante parámetro es el CPM (margen de fase del reloj), que es el máximo desplazamiento de la fase del reloj de entrada con respecto a los datos de entrada para alcanzar una tasa de errores menor de 10^{-9} . Se ha alcanzado 310° , lo que facilita el alinear la fase del reloj de entrada.

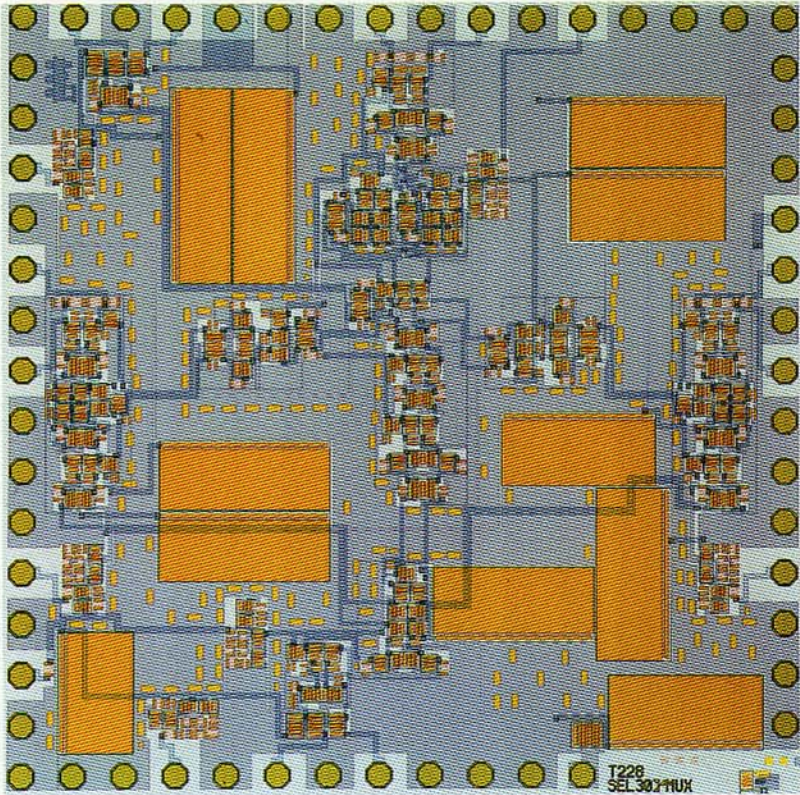


Figura 4
Esquema del multiplexor de 2,488 Gbit/s.

Amplificador principal: Se usa un amplificador limitador por sus ventajas de mayor ancho de banda, menor consumo de potencia y menor complejidad frente a un amplificador de ganancia controlada. El circuito integrado usa etapas Cherry-Hooper en todas las etapas amplificadoras. El desacoplo lo realiza una memoria de entrada compuesta por un doble seguidor de emisor. La señal de entrada se amplifica en dos etapas de ganancia y en un amplificador de distribución, encargado de excitar las memorias de salida. Aunque la característica de ruido de las tecnologías bipolares de silicio para circuitos digitales se considera pobre, la degradación medida de la sensibilidad

Tabla 1 – Resultados de las medidas en el conjunto de circuitos a 2,488 Gbit/s

Parámetro	Multiplexor 2:1	Demultiplexor 1:2	Circuito decisión	Regenerador	Ampl. principal
Velocidad máxima	2,6 Gbit/s	2,6 Gbit/s	2,8 Gbit/s	2,8 Gbit/s	5,0 Gbit/s
Entrada de datos	0,2 – 1,0 Vpp	0,2 – 1,0 Vpp	0,005 – 1,0 Vpp	0,2 – 1,0 Vpp	0,005 – 0,4 Vpp
Entrada de reloj	0,2 – 1,0 Vpp	0,2 – 1,0 Vpp	0,2 – 1,0 Vpp	—	—
Salida de datos	0,8 Vpp	0,8 Vpp ECL	0,8 Vpp	0,8 Vpp	0,5 Vpp
Salida de reloj	0,6 Vpp	0,6 Vpp	—	0,4 Vpp	—
Fluctuación de fase	< 40 ps	< 40 ps	< 40 ps	< 40 ps	< 40 ps
Margen de fase	310°	260°	290°	260°	—
Ganancia máxima	—	—	—	—	45 dB
Tensión/corriente	–5 V/350 mA	–5 V/400 mA	–5 V/400 mA	–5 V/380 mA	–6 V/120 mA

del receptor es menor de 0,5 dB, siempre y cuando la tensión de entrada del amplificador principal se mantenga por encima de 5 mV_{pp}.

Circuito de decisión: El circuito de decisión realiza una decisión en amplitud y tiempo sobre la señal NRZ de 2,488 Gbit/s que proviene del amplificador principal. Se realiza en un circuito integrado de silicio bipolar que usa un biestable maestro-esclavo tipo D para la decisión en el tiempo, y un amplificador de entrada para la decisión de amplitud. La primera cifra de mérito es CPM, medido como 290° a 2,488 Gbit/s. La segunda es la sensibilidad de entrada: se consiguen regenerar en el circuito datos de entrada enviados por un generador de patrones de 5 mV_{pp} de amplitud, con una tasa de error de 10^{-9} . Los resultados han mostrado que el circuito de decisión puede operar hasta 2,8 Gbit/s, con un CPM de más de 240 grados.

Regenerador: Se ha desarrollado también un circuito integrado regenerador, el cual combina la extracción de reloj y las funciones del circuito de decisión (Figura 5 y Figura 6). Para recuperar la frecuencia del reloj se usa una puerta OR-exclusivo. El espectro de la salida de la puerta se filtra con un filtro de ondas acústicas de superficie. Como este filtro tiene una atenuación de 26 dB, la señal de reloj se mejora con un amplificador de 40 dB. Una salida desde este amplificador suministra el reloj para el circuito interno de decisión, mientras que la otra es para uso externo. El circuito integrado regenerador se probó con un filtro de ondas acústicas de superficie de 2,488 Gbit/s. La máxima velocidad de transmisión de 2,8 Gbit/s la limita el circuito de decisión; la puerta OR-exclusivo funciona hasta 3 GHz.

Demultiplexor: El circuito principal del demultiplexor consiste en dos biestables maestro-esclavo de tipo D, que trabajan en paralelo usando un esquema de muestreo alternado. Se implantó un divisor de reloj interno 2:1, al ser la frecuencia de reloj para los biestables de muestreo la mitad de la frecuencia de entrada. Además, se realizó un selector de canal para encaminar los canales demultiplexados a los puertos de salida específicos. La máxima velocidad del demultiplexor está limitada por el divisor integrado a 2,6 GHz.

Circuitos integrados a 5 Gbit/s

Formando parte del programa RACE 1051 se ha desarrollado, para el sistema

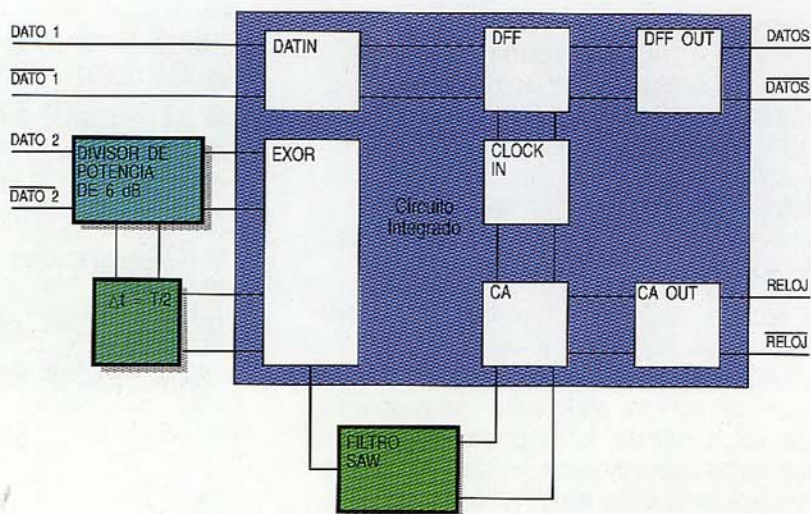


Figura 5
Esquema de bloques del circuito integrado regenerador.

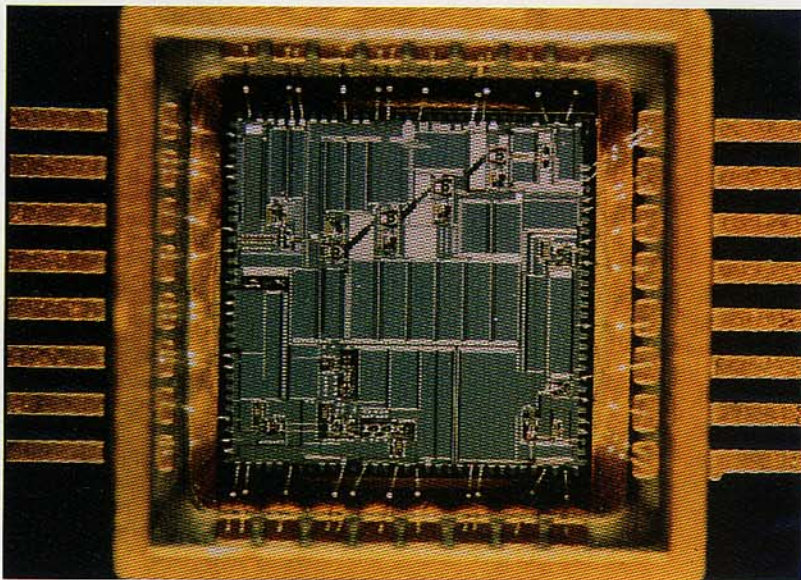
de transmisión digital de 5 Gbit/s, el siguiente conjunto de circuitos integrados:

- multiplexor 4:1
- excitador del láser
- preamplificador
- amplificador principal
- circuito de decisión
- regenerador con recuperador de reloj a 5 GHz
- demultiplexor 1:2

Estos circuitos se basan en la tecnología bipolar avanzada de silicio de 1 μ m autolineada, con una frecuencia de transición de 18 GHz.

Multiplexor 4:1: En el lado transmisor, se entrelazan los bits de cuatro canales de 1,25 Gbit/s en el multiplexor para formar un canal de 5 Gbit/s. También se usan

Figura 6
Circuito integrado regenerador a 2,488 Gbit/s.



divisores de frecuencia adicionales de 2:1 y de 4:1 en el circuito multiplexor para las señales internas de reloj. Los cuatro canales de entrada de datos a 1,25 Gbit/s están sincronizados por un reloj de salida a 1,25 GHz. El divisor de reloj interno 2:1 limita la velocidad máxima alcanzable por el multiplexor a 9 Gbit/s.

Excitador del láser: El excitador del láser se modula con la señal de salida del multiplexor. Una alta corriente de modulación, de 40 mA, es el principal problema del excitador del láser, por lo que se necesita usar transistores de alta corriente especialmente diseñados. En vista de la alta velocidad de transmisión, se requiere un montaje especial del láser con los hilos de interconexión extremadamente cortos.

Preamplificador: Es uno de los circuitos más difíciles dentro del sistema de transmisión. Se ha realizado como un amplificador de transimpedancia, que transforma la pequeña corriente de salida del fotodiodo en una tensión de salida. Se han usado tecnologías bipolares avanzadas para resolver los requisitos conflictivos de bajo ruido y alto ancho de banda. La máxima velocidad de transmisión para el preamplificador, incluido el fotodiodo, es de 7 Gbit/s.

Amplificador principal: Su misión es amplificar la señal de 5 Gbit/s de la salida del preamplificador a una amplitud constante para su posterior procesamiento. La versión integrada se ha diseñado como un amplificador limitador con dos señales de salida para el circuito de decisión y la recuperación del reloj. La oscilación de la señal de salida es menor de 10 ps sobre el margen dinámico completo.

Regenerador: Se han usado dos circuitos integrados para implantar el regenerador de 5 Gbit/s: el circuito de decisión y el circuito de extracción de reloj. Una de las salidas del amplificador excita una puerta OR-exclusivo, como circuito de proceso de señal no lineal, para recuperar la frecuencia de reloj en la señal NRZ de 5 Gbit/s. La frecuencia de reloj alimenta el PLL, que tiene un margen de frecuencias de 4,0 a 5,5 GHz – suficiente para un sistema a 5 Gbit/s. Las decisiones de amplitud y tiempo las realiza un biestable maestro-esclavo de tipo D. La sensibilidad de la decisión para una señal de 5 Gbit/s es mejor de 20 mV. La figura 7 muestra la señal de salida del circuito de decisión a 5 Gbit/s, y la figura 8 el esquema del circuito de extracción de reloj.

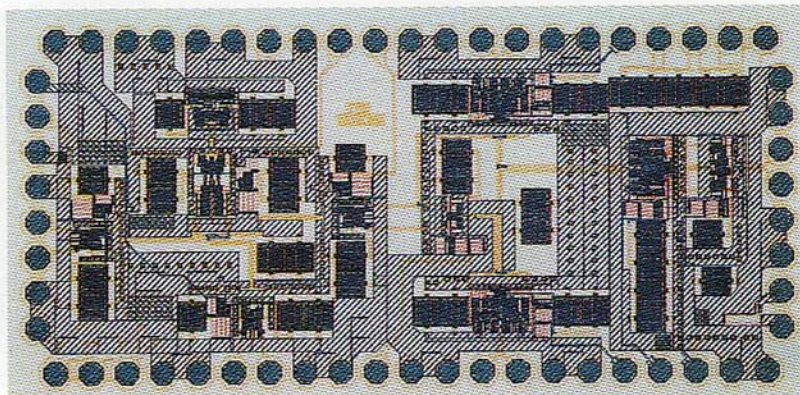


Figura 8
Esquema del circuito de extracción de reloj a 5 Gbit/s.

Demultiplexor 1:2: Esta unidad consiste en dos biestables maestro-esclavo tipo D que trabajan en paralelo. La señal de reloj la suministra un divisor 2:1 dentro del circuito integrado. El demultiplexor 1:2 puede operar hasta 14 Gbit/s, pero el margen actual está limitado a 9 Gbit/s por el divisor de reloj interno.

Circuitos integrados de 10 Gbit/s

En la preparación para el desarrollo de circuitos integrados VLSI de los sistemas STM-64 se han realizado cinco circuitos integrados de prueba que funcionan a 9,95 Gbit/s:

- multiplexor de 2:1
- divisor regenerativo 2:1
- oscilador de 10 GHz
- circuito OR-exclusivo
- circuito de decisión.

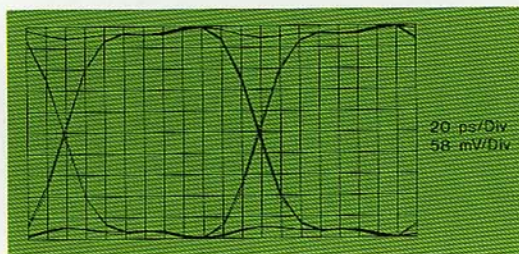


Figura 7
Señales de salida simuladas del circuito de decisión a 5 Gbit/s.

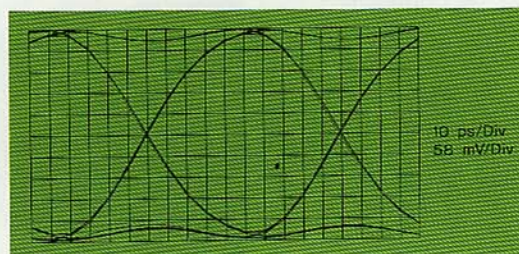


Figura 9
Señales de salida simuladas para el circuito de decisión a 10 Gbit/s.

Las simulaciones del multiplexor 2:1 han mostrado que puede operar a más de 10 Gbit/s. El divisor de frecuencia, realizado en un biestable maestro-esclavo estático tipo D, está limitado a 9 Gbit/s, mientras que el divisor regenerativo tiene una frecuencia máxima de 14 GHz.

El oscilador de 10 GHz controlado por corriente, está diseñado para funcionar en un PLL, como parte del circuito de recuperación. Tiene una frecuencia de sintonía de 200 MHz. El circuito de prueba OR-exclusivo se usa como detector de fase para las señales de reloj de 10 GHz. El circuito de decisión para las señales de datos de 10 Gbit/s se realiza usando un biestable maestro-esclavo tipo D.

Los resultados de la simulación muestran una velocidad de transmisión por encima de los 10 Gbit/s. Como ejemplo, la Figura 9 muestra una señal de salida de 10 Gbit/s del circuito de decisión.

Los circuitos integrados de 5 Gbit/s y los de prueba a 10 Gbit/s los produce un suministrador europeo en una única oblea.

Perspectivas técnicas

Cualquier predicción razonable sobre el potencial tecnológico debe diferenciar, por un lado las distintas tecnologías, y por otro las tecnologías que están en producción en la actualidad y las que están solamente en el laboratorio. Estas últimas serán las tecnologías de producción en un futuro cercano.

No hay duda que los semiconductores III-V, especialmente los HBT (transistores bipolares de heterounión), ofrecen ventajas de velocidad respecto a las tecnologías de silicio actuales^{9,10}. La estrategia de Alcatel es usar tecnologías probadas para sistemas de bajo coste siempre que sea posible.

En la actualidad, los procesos de producción para la tecnología bipolar de silicio, no han alcanzado aún su potencial completo. Las prestaciones de los dispositivos pueden todavía mejorar de forma significativa reduciendo las dimensiones laterales y verticales. Las más comunes y avanzadas tecnologías se basan en el autoalineamiento de uno o dos procesos de polisilicio^{11,12}. Usando contactos de base y emisor autoalineados se reducen enormemente los componentes parásitos del transistor. La Figura 10 muestra como ejemplo la sección transversal de un transistor de doble polisilicio. La parte externa de la región de base (fuera del transistor intrínseco) se puede reducir hasta unas

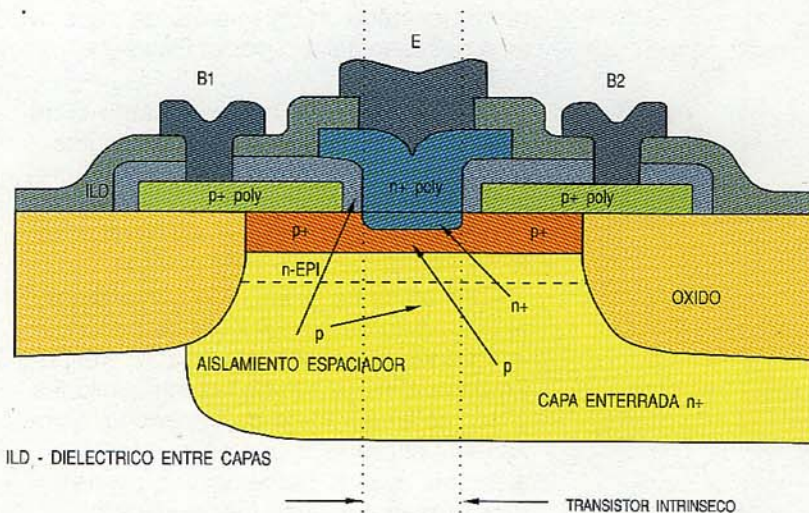
pocas micras cuadradas. Como consecuencia de esto, la resistencia distribuida de base y la capacidad de la unión-colector se reducen significativamente. Además, el emisor de polisilicio, permite uniones muy estrechas, obteniendo con ello frecuencias de corte mayores.

Se han desarrollado varias modificaciones de la tecnología base que permite incrementar funcionalidad y densidad de empaquetamiento^{11,13} como:

- aislamiento por surcos, que reduce la capacidad de aislamiento y el área del transistor
- contacto metal de silicio, que reduce la resistencia distribuida de la base
- implementación de iones selectiva sobre la región del colector, que permite mayores densidades de corriente, y por tanto una reducción de área.

Como consecuencia, será posible incrementar la frecuencia de corte de 6 a 10 GHz con las tecnologías actuales en producción, y de 15 a 25 GHz con las de laboratorio¹¹. Las simulaciones de dispositivos también indican la posibilidad de

Figura 10
Sección transversal de un transistor bipolar de doble polisilicio.



alcanzar frecuencias de corte de 40 GHz¹¹.

Diseños ya probados de circuitos básicos muestran la posibilidad de alcanzar velocidades de sistemas de hasta 20 Gbit/s. Un circuito integrado multiplexor de división del tiempo, realizado en tecnología bipolar avanzada de silicio, ha alcanzado este margen¹³. Con la misma tecnología, también se ha conseguido un multiplexor regenerativo de 24 Gbit/s¹⁴.

Para el futuro se esperan en todo el mundo mejores prestaciones en ingeniería de materiales de silicio. En particular,

los dispositivos basados en Si/Ge HBT^{15,16} muestran buenos resultados. Una ventaja de estos desarrollos es que ya se han probado los pasos de la tecnología de silicio. Este tipo de dispositivo bipolar ofrece una gran amplificación de corriente, resultado del alto salto de energía de los huecos, caracterizado por un factor exponencial. Ajustando la amplificación a un valor razonablemente pequeño se puede reducir considerablemente la anchura de la base consiguiendo con ello una constante de tiempo de tránsito muy corto. Además, la concentración de impurezas en la región de base puede mejorarse considerablemente sin efecto no deseados, consiguiendo con ello una baja resistencia de base. Consecuentemente, se han alcanzado frecuencias de corte tan altas como los 75 GHz y los expertos esperan, en un futuro cercano, llegar por encima de los 100 GHz¹⁵.

Conclusiones

Alcatel ha desarrollado con éxito un conjunto de circuitos integrados que pueden funcionar a una velocidad de sistema de 2,488 Gbit/s. Ha funcionado sin fallos durante dos años en un sistema de transmisión óptica instalado por el Deutsche Bundespost^{1,2}.

Recientemente se ha completado el desarrollo de un conjunto de circuitos integrados que trabaja a 5 Gbit/s y está, en estos momentos, en producción. Las medidas de funcionalidad sobre ellos se realizarán en los próximos meses.

Además se ha empezado a investigar el desarrollo de un conjunto de circuitos integrados capaz de operar a 10 Gbit/s. En base al resultado de las simulaciones y del reciente trabajo de desarrollo, es razonable el predecir que se puede alcanzar, usando tecnologías bipolares de silicio, la siguiente funcionalidad:

- Multiplexores, demultiplexores, y circuitos de decisión operando a 10 y 20 Gbit/s.
- Excitadores para láseres y amplificadores con control automático de ganancia para sistemas de 10 Gbit/s, así como amplificadores que permitan mayores velocidades de transmisión.

Los preamplificadores serán los circuitos más críticos, a causa de la sensibilidad requerida.

Los desarrollos tecnológicos del futuro, incrementarán las velocidades de funcionamiento, reducirán los consumos de

energía y permitirán una mayor complejidad; con ello será posible producir circuitos complejos de alta velocidad que satisfagan las necesidades del mañana.

Referencias

- 1 B. Wedding, D. Schlump, E. Eschlag, W. Pohlmann y B. Franz: 2.24 Gbit/s 151 km Optical Transmission Systems Using High Speed Integrated Silicon Circuits: *Journal of Lightwave Technology*, 1990, volumen 8, nº2, págs 227-234.
- 2 E. Gerhardt, R. Heidemann, E. Schlag, D. Suikat y U. Willret: Anwendungsoptimierte intergrierte Silizium Bipolarschaltungen für ein 2.4 Gbit/s Laborsystem: *Proc ITG Fachtagung Mikroelektronik für die Informationstechnik*, Berlin, Alemania, Octubre 1988.
- 3 R. Heidemann, U. Scholz y B. Wedding: 5 Gbit/s Transmission System Experiment over 111 km of Optical Fibre: *Electronics Letters*, 1987, volumen 23, págs 1030-1031.
- 4 B. Wedding y Th. Pfeiffer: 20 Gbit/s Optical Pattern Generation Amplification and 115 km Fibre Propagation using Optical Time Division Multiplexing: *Proceedings of ECOC'90*, Amsterdam, 1990, págs 453-456.
- 5 RACE Project R 1051: Multigigabit Transmission in the IBCN Subscriber Loop.
- 6 E. M. Cherry y D. E. Hooper: The Design of Wide-band Transistor Feedback Amplifiers: *Proceedings of the Institution of Electrical Engineers*, 1963, volumen 110, págs 375-389.
- 7 Y. Akazawa, N. Ishihara, T. Wakimoto, K. Kowarad y S. Konaka: A Design and Packaging Technique for a High Gain, Gigahertz Band Single Chip Amplifier: *IEEE Solid-state Circuit*, 1986, volumen 21, págs 417-423.
- 8 J. Hauenschild y H. M. Rein: Influence of Transmission-line Interconnection between Gbit/s ICs on Time Jitter and Instabilities: *IEEE Journal on Solid-State Circuits*, 1990, volumen 25, págs. 763-766.
- 9 Kuriyama et al: 15 Gbps MUX/DMUX Implemented with AlGaAs HBTs: *IEEE GaAs IC Symposium*, San Diego, California, Septiembre 1989.
- 10 Yamauchi et al: A 34.8 GHz 1/4 Static Frequency Divider using AlGaAs HBTs: *IEEE GaAs IC Symposium*, San Diego, California, Septiembre 1989.
- 11 Konake et al: A 20 ps SI Bipolar Using Advanced Super Self-aligned Process Technology with Collector Ion Implantation: *IEEE EI Dev Lett*, Julio 1989, volumen 36, nº7, págs. 1370-1375.
- 12 Huang et al: A High Speed Bipolar Technology Featuring Self-aligned Single Poly Base and Submicrometer Emitter Contacts: *IEEE EI Dev Lett*, 1990, volumen 11, págs. 251-256.
- 13 J. Hauenschild, H. M. Rein, W. McFarland, J. Doernberg y D. Pettengil: 20 Gbit/s Time Division Multiplexer IC in Silicon Bipolar Technology: *Electronic Letters*, Octubre 1990, volumen 26, nº21, págs 1824-1825.
- 14 J. Hauenschild, H. M. Rein, W. McFarland, J. Doernberg y D. Pettengil: A 24 Gbit/s Regenerating Demultiplexer IC in Silicon Bipolar Technology: *Electronic Letters*, 1991.
- 15 Patton et al: *IEEE Electron Device Letters*, 1990, volumen 11, pág. 171.
- 16 Schreiber: Der Si/SiGe-Heterobipolar Transistor: 1991, *Phys Bl*, volumen 47, nº2, pág. 121.

Erwin Gerhardt nació en Budapest, Hungría, en 1949. Tras conseguir un diploma en física, trabajó en circuitos de alta frecuencia y sensores, sobre película delgada. En 1985 ingresó en el centro de investigación de Alcatel SEL, donde empezó a trabajar sobre diseños de circuitos de alta velocidad. En la actualidad, es responsable del apoyo y de la evaluación de tecnologías de alta velocidad.

Rolf Heidemann terminó la carrera y se doctoró en físicas por el instituto de física aplicada de la Universidad Westfälische Wilhelms de Munster en 1976 y 1983, respectivamente. Entre 1978 y 1983 fue investigador en Munster, pasando al centro de investigación de Alcatel SEL en 1985. En la actualidad el Dr Heidemann es jefe del departamento de sistemas de transmisión óptica.

Wolfgang Pohlmann nació en Stuttgart, Alemania, en 1957. Se graduó en técnicas de comunicación por la Fachhochschule für Technik, Ulm, en 1981. Ingresó en el grupo de investigación de Alcatel SEL para trabajar en el desarrollo de sistemas de transmisión coaxial y óptica. Desde 1986 trabaja en circuitos integrados para sistemas de transmisión óptica multigigabit/s.

Erwin Schlag nació en Enzweihingen, Alemania, en 1952. Se graduó en ingeniería eléctrica por la Universidad de Stuttgart en 1981, año en el que también ingresó en Alcatel SEL, donde ha estado trabajando en sistemas de transmisión óptica. En la actualidad realiza desarrollo de circuitos integrados para sistemas de transmisión de gigabit/s.

Despedida de Michael Deason

Después de veinte años en *Electrical Communication*, Michael Deason nos ha dejado para crear su propia empresa de consultoría de publicaciones técnicas en Inglaterra. Veinte años es un largo camino, aún para una revista con setenta años de antigüedad, en los que ha realizado la introducción de la edición completamente en color y por temas especializados, así como la informatización de todos las áreas de producción de la revista. Para nosotros es una gran pérdida por su experiencia y bien hacer. Estamos seguros que con sus conocimientos obtendrá un gran éxito en su nueva empresa, a la vez que le deseamos nuestros mejores deseos para el futuro.

Requisitos de tecnología VLSI para un video codec de velocidad variable en MTA

En 1997 se necesitarán terminales de video MTA para impulsar el crecimiento de los servicios de banda ancha. La clave para alcanzar este objetivo es la integración de los terminales reduciendo el tamaño y el coste. El reto consiste en diseñar y fabricar circuitos integrados VLSI para estos terminales. Eventualmente, tales circuitos integrados integrarán millones de transistores digitales con circuitería analógica.

P. Guébels

B. Voeten

L. Elewaut

Alcatel Bell Telephone, Amberes, Bélgica

J. Goubert

Alcatel Coordination Center, Zaventem, Bélgica.

Introducción

La televisión avanzada (TVA) tiene un futuro prometedor, con muchos aspectos interesantes, como la televisión de alta definición (TVAD) con unas mejoras cualitativas en TV que ofrece un número de líneas horizontales y una resolución horizontal dos veces superior a la de la televisión actual.

Sin embargo, hay que tener en cuenta otras consideraciones como son la elección del medio de transmisión, ancho de banda, técnicas de compresión, normas y liberalización. De cualquier modo, la TVA desempeñará un papel importante dentro de la futura RDSI-BA (Red digital de servicios integrados de banda ancha), que se basará en la tecnología MTA (modo de transferencia asíncrono).

El MTA ofrece independencia de servicio y un alto grado de flexibilidad en videocomunicaciones aprovechando las inherentes características de la información de video. Es muy adecuado para transmisión de video VBR (velocidad variable)¹, ya que reduce el retardo, ofrece una calidad de video casi constante, permite a los usuarios algún control sobre la

calidad de video y reduce la carga en la red empleando multiplexación estadística.

En la pasada década, se investigaron muchos algoritmos sobre procesamiento y transmisión de imagen. Generalmente se está de acuerdo en que el tiempo requerido para el proceso de algoritmos de compresión, en particular para movimiento en video, no puede ser suministrado eficazmente en tiempo real mediante procesadores programables. Por ello, es necesario un procesamiento masivo concurrente realizado en ASIC (circuitos integrados de aplicación específica).

Los procesadores paralelos se pueden dividir en dos categorías: multiprocesadores y matrices de procesadores. Un diseño fundamental es la realización de los algoritmos en arquitecturas en VLSI específicas. Por esta razón, el diseño del sistema para comunicación por video, no solamente tiene que considerar algoritmos, arquitecturas y la aplicación, sino que también la capacidad de las tecnologías VLSI submicra. Además, se tienen que soportar las arquitecturas avanzadas de matrices VLSI por metodologías de diseño especializadas.

La arquitectura aquí propuesta encapsula todas las funciones del terminal de codec VBR MTA en tres ASIC. La factibilidad de esta arquitectura usando VLSI tiene que ser cuidadosamente estudiada y las tecnologías necesarias VLSI evaluadas antes de realizar dicho video codec VBR MTA altamente integrado. Por supuesto, el nivel de integración VLSI

Figura 1
Esquema de bloques de la RDSI-BA.

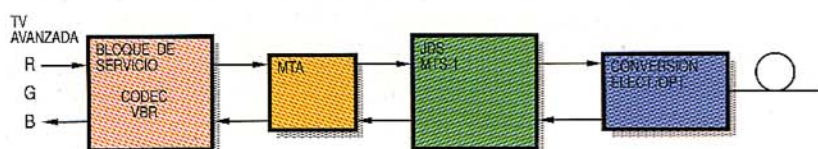
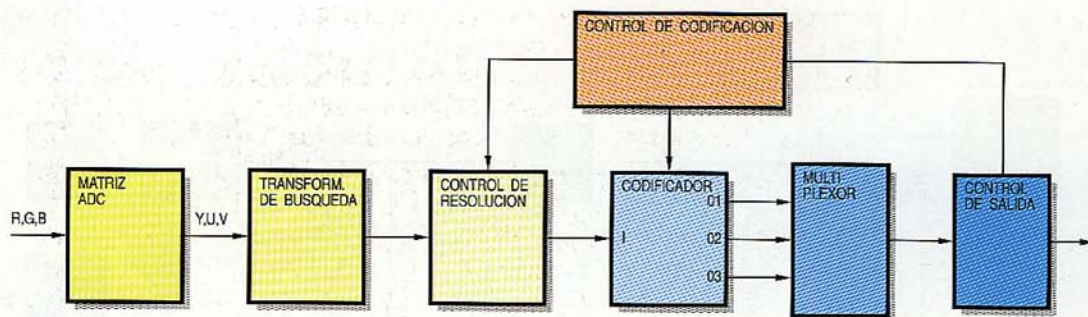


Figura 2
Diagrama de bloques
del codificador VBR
de dos niveles MTA.



está limitado por el coste y tamaño del equipo, y por la disponibilidad de tecnologías avanzadas de proceso de VLSI CMOS submicra.

Televisión avanzada en la red digital de banda ancha

La Figura 1 muestra los bloques constituyentes del videoservicio de RDSI-BA. La JDS (jerarquía digital síncrona) proporciona el interfaz físico con la red, sirviendo como un vehículo de transmisión para los servicios de banda ancha y facilitando las transconexiones de las señales entre grandes centrales locales e interurbanas. El bloque de transporte MTA trata directamente con el servicio en banda ancha y está incluido dentro de la carga neta JDS. El bloque de servicio puede representar cualquier servicio en banda ancha, como TVA, datos, o cualquier servicio existente de telecomunicación. Los datos MTA y la trama JDS se procesan en secuencia por unidades de procesamiento dedicadas.

Visión general de las capas de JDS y MTA

La unidad fundamental en JDS² es el módulo MTS-1 (nivel 1 de transporte síncrono) que opera a 155,52 Mbit/s. En MTA, la unidad básica de transferencia es una *célula* de longitud fija, que consiste en un *encabezamiento* y un *campo de información*. La función primaria del encabezamiento es la de identificar células que pertenezcan a algún *canal virtual* específico, que se asigna en el tiempo de establecimiento y dura lo que la llamada. La correspondencia de las células dentro del carga útil del MTS-1 JDS define la disposición de las mismas en la *envolvente de la carga útil síncrona*.

La capa de adaptación del MTA (AAL), que es la capa de protocolo sobre la capa MTA, suministra funciones dependientes del servicio para la capa de usuario. Los servicios suministrados por AAL incluyen la gestión de errores de transmi-

sión y de las células perdidas o incorrectamente insertadas, la segmentación y reensamblaje, y el control de temporizaciones (p. ej., recuperación de la frecuencia del reloj fuente en el receptor).

Visión general de la capa de usuario.

Por encima de AAL está la capa de usuario, que lleva información específica del servicio de TVA al transmisor-receptor. La unidad básica de la capa de usuario es una trama de video que comprende dos campos de video, que a su vez se pueden dividir en unidades más pequeñas, *bandas* (ocho líneas). La información de la capa de usuario consiste en datos puros de video y tara (p. ej., codificación modo/clase, número de unidad de sincronización), dependiendo del algoritmo de codificación y del servicio.

La congestión en la red de MTA puede causar la pérdida de algunas células. Generalmente, la pérdida de células ocurre en ráfagas, pero al ser esto muy poco conocido es preferible usar una estrategia de ocultamiento de errores en la capa de usuario. Esta estrategia se basa en un método de codificación en dos capas desarrollado en Alcatel. La primera capa, capa de resolución básica de imagen, está muy protegida contra daños en la red. La segunda capa, capa de resalte, suministra detalles adicionales de la imagen. Cuando un error ocurre en la capa 2, se hace referencia a los datos correspondientes de la capa 1, lo que hace prácticamente invisible los efectos de pérdidas de dato.

Las unidades de video (como las bandas), se procesan finalmente en el codec VBR MTA, que es el módulo hardware de mayor complejidad y de computación más intensa de todo el servicio de video.

Algoritmos de codificación VBR genéricos para un terminal TVA

En las Figuras 2 y 3, se muestra un codec genérico de TVA para la RDSI-BA

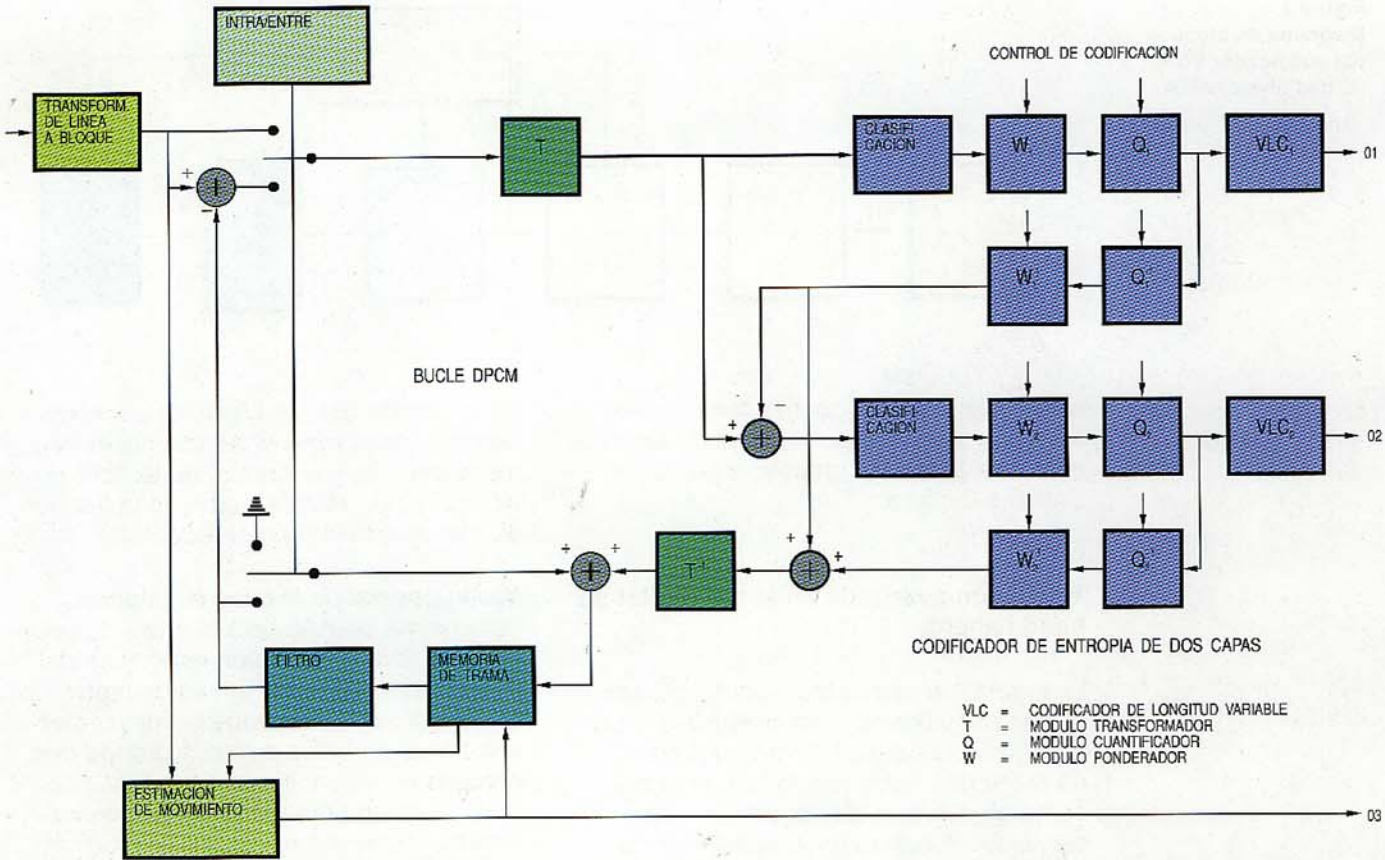


Figura 3
Visión detallada de la
codificación híbrida
usando
compensación de
movimiento y control
de codificación.

basada en MTA. Se aplican los mismos principios de codificación para los pixels de luminancia Y y para las dos componentes de color U y V. Las figuras presentan un codificador híbrido VBR de MTA completo con compensación de movimiento. El operador del control de codificación, calcula lo crítico de la codificación (sensibilidad a codificar errores) bloque a bloque, y adapta tanto la resolución como la codificación (peso, cuantificación). Los parámetros enviados como información asociada al multiplexor incluyen el bit de modo (intra o entre), el vector de movimiento, clase de criticidad y el estado de la memoria de salida o parámetros equivalentes. Dentro del esquema de codificación de dos capas, ambos codificadores usan factores de peso, cuantificadores, y codificadores de entropía de longitud variable diferentes.

Los parámetros usados en los algoritmos complejos de este tipo necesitan ser cuidadosamente optimizados. Se pueden obtener factores de reducción de velocidades de transmisión de hasta 20 para lograr la completa resolución. La gama de velocidad cubierta va desde 2 Mbit/s hasta el máximo permitido por la carga útil del MTS-1 (130 Mbit/s netos) para la calidad de la TVAD. La codificación en dos niveles permite, además del oculta-

miento de errores, la asignación de alta y baja prioridad para datos de video garantizados y resaltados, respectivamente.

Un avance importante para el codec VBR de MTA es la normalización de algoritmos, en particular dentro de la comisión de estudio XV/1 del CCITT. Se espera finalizar al comienzo de 1994. Sin embargo, los objetivos de Alcatel son entregar muestras de video codec VBR con máxima integración a mediados de 1995. Para alcanzar estos objetivos, es esencial disponer de herramientas CAD avanzadas, como herramientas de síntesis de arquitecturas y compiladores de silicio lógicos.

Requisitos de tecnología VLSI para el video codec VBR de MTA

La evaluación de los requisitos de diseño y tecnología en VLSI deben de considerar la máxima integración del codec, y mantener la modularidad de los bloques constituyentes. Así, encapsular el codec en VLSI *codificador* y *decodificador* es una elección óptima, que permite la apropiada comunicación de datos de servicios TVA, que constan principalmente de distribución unidireccional de la información de video. El circuito *decodificador*

es más sencillo que el del *codificador* asociado, y se fabricará en grandes cantidades como soporte de los servicios de distribución.

Las capacidades de las futuras tecnologías VLSI, como su velocidad (máxima frecuencia de reloj) y tamaño (longitud de canal, anchura de metal), abren un escenario factible para integrar la TV de difusión (CCIR 601) y la TVAD.

Convertidores integrados A/D y D/A

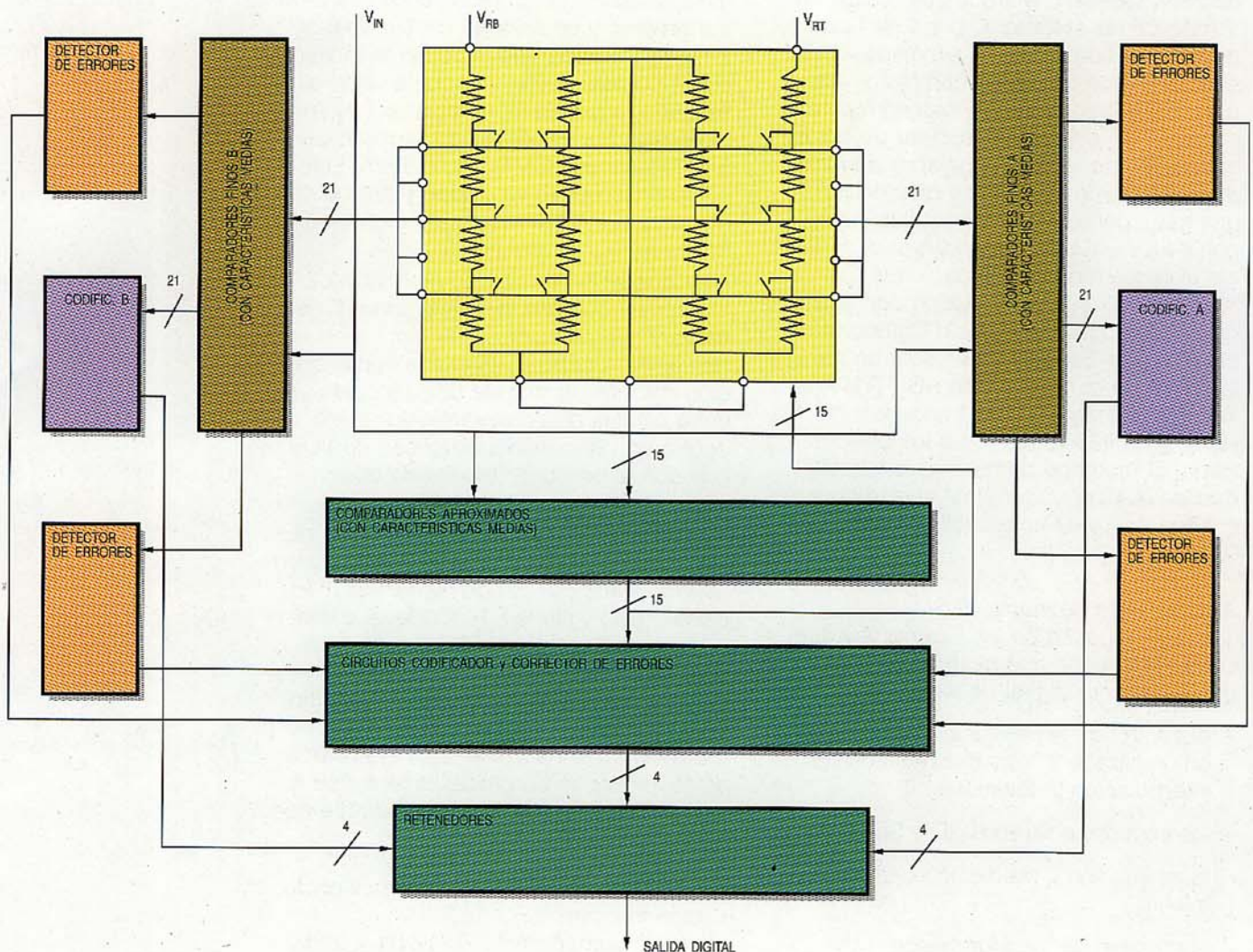
La conversión de las señales RGB (rojo-verde-azul) en formato digital requiere circuitos analógicos de altas prestaciones, que tienen que ser optimizados en velocidad y ruido usando técnicas de diseño especiales. Además de circuitos RAM en el mismo circuito integrado, se pide un conocimiento detallado del comportamiento de los circuitos integrados analógicos CMOS y se necesita soportar herramientas de simulación analógicas avanzadas.

Las arquitecturas A/D y D/A, basadas en divisiones de menos de 8 bits, hacen

posible el producir pequeños convertidores con anchos de banda efectivos de resolución de más de 50 MHz, usando un proceso avanzado de CMOS submicra. La velocidad de conversión A/D y D/A de las señales RGB, en un proceso de 0,5 μm , pasa de 70 Megamuestras por segundo (MS/s). La Figura 4 muestra un esquema de bloques de la arquitectura de conversión A/D mencionada. Hay tres bloques de comparación, el bloque grueso de comparadores, con 15 comparadores, y los bloques finos de comparadores A y B, cada uno con 21 comparadores.

En una tecnología CMOS de 0,5 μm , el tiempo de establecimiento simulado de la tensión de referencia conversión A/D es menor de 6 ns en el peor de los casos (4,5 V), llegando hasta 10 ns en el tiempo de comparación. Se mejora la velocidad si se usa un esquema multiplexor entre los comparadores finos A y B. Para la matriz de resistencias, se requiere un polisilicio de baja resistividad (25 Ω/cuadro). Las condensadores se fabrican

Figura 4
Diagrama de bloques
del convertidor A/D.



entre la parte de polisilicio y el área de difusión implantada con una precisión en el peor caso del 0,2%.

Un convertidor A/D consume menos de 100 mW a una velocidad de conversión de 70 MHz, ocupando $1,8 \times 1,8$ mm del área activa de silicio. Se necesitan tres capas de metalización en una geometría óptima del trazado para minimizar el acoplamiento entre los ADC (RGB), y entre la circuitería analógica y digital.

Los convertidores D/A restauran las señales RGB con un amplificador de tensión de salida de 1 V_{pp} para una carga de 75 Ω /30pF. Usando la misma matriz de resistencias y condensadores para la conversión A/D, se espera un error de linealidad diferencial mayor de $\pm 0,2\%$, y una linealidad integral mayor de $\pm 0,6\%$. El consumo de un convertidor D/A en tecnología CMOS de 0,5 μ m es menor de 85 mW a una velocidad de conversión de 70 MHz, y ocupa $2,1 \times 2,1$ mm del área activa de silicio.

Las señales RGB se convierten digitalmente en la señal de luminancia Y y en las dos de crominancia (diferencia de color) U y V de acuerdo con la recomendación CCIR 601. Después se realiza un filtrado de las señales Y, U y V de una dimensión (tipo centrado simétrico - 21), seguido de un muestreo con factor 4/3 para Y y 8/3 para U y V. Posteriormente, se implanta, con una estructura de guías cableadas de lógica de palabra paralela de 70 MS/s, una aritmética distribuida que usa operadores de desplazamiento cableados y tablas ROM/PLA para minimizar el número de multiplicaciones.

Se ha realizado un prototipo con la ayuda del compilador de silicio Cathedral III, del proyecto Esprit97³. El resultado para la matriz de conversión de RGB (YUV) a YUV (RGB) es de 11730 transistores (Tors) y de 43500 Tors para los pre/pos-filtros. El prototipo demuestra la factibilidad de realizar un terminal analógico con calidad de TVAD en tecnología CMOS de 0,5 μ m.

Arquitecturas de matriz VLSI

Como se muestra en las Figuras 2 y 3, el codec MTA tiene que usar un complejo procesamiento digital de video para:

- el control de la resolución basándose en un filtrado 2D, mediante filtros de interpolación y decimales
- los intra/entre filtrados 2D y 3D
- la estimación y predicción de movimiento
- el proceso de transformación.

Hay que indicar que, siguiendo el esquema genérico, el procesamiento de la señal de video realizada después del control del bloque de resolución de la Figura 2 usa una velocidad Y de 54 MS/s, y una velocidad de las señales U y V de 27 MS/s en el caso de TVAD. Las correspondientes velocidades de muestreo, especificadas en la Recomendación 601 del CCIR, son 13,5 MS/s y 6,75 MS/s. Considerando las características típicas de velocidad en las tecnologías VLSI proyectadas, es posible realizar el reparto de tiempo o multiplexación de las partes operativas para las anteriores señales digitales de video. Un esquema de multiplexador típico de CCIR 601 es la estructura IY,U,Y,VI, toda ella en un intervalo de tiempo de 6,75 MHz, que corresponde a una velocidad de proceso del pixel de 27 MHz.

Como resultado, la lógica operativa se divide en dos, mientras que la lógica de multiplexación aumenta el número de transistores en la parte operativa aproximadamente un 20%, doblando la cantidad de almacenamiento dinámico. El efecto global del tiempo compartido y multiplexación es un reducido número de transistores y un área de circuito menor. El tiempo compartido incrementa la velocidad posible del reloj hasta la velocidad límite de la propia tecnología, por ejemplo hasta una velocidad de proceso de 54 Mpixel/s con CMOS de 0,5 μ m. Este compromiso entre velocidad y área definen una plan para la futura integración de las funciones del codec.

La operación en tiempo real de tales algoritmos con grandes velocidades de datos y computación, solamente se pueden llevar a cabo mediante la implantación del intercambio de datos locales entre células de procesamiento, como ocurre en las matrices sistólicas de VLSI, que son el cuello de botella de tales algoritmos.

Las funciones de proceso de video digital, como la *decimación* y la *interpolación usando filtros FIR 2D de fase lineal* (centrado 7×7) y filtros FIR 3D de fase lineal (respuesta finita al impulso, centrado $3 \times 3 \times 7$), deben de ser capaces de manejar hasta 30 operaciones de multiplicación-suma, en un ciclo de reloj tan corto como 18 ns (54 MHz). Para realizar estas funciones de procesamiento, se ha creado una macrocélula configurable que consiste en:

- circuito de cuarto orden de multiplicación interna
- cuatro sumadores 12 bit + 12 bit

- 12 bit
- cuatro multiplicadores 12 bit × 10 bit
- 18 bit
- cuatro sumadores 20 bit + 18 bit
- 20 bit
- un desfasador circular 1 de 8, 15 bits de ancho
- un limitador 15 bit → 12 bit

Tabla 1 – Número de PE físicos en diferentes esquemas de multiplexación

Esquema de multiplexación	Velocidad de reloj	
	54 MHz	108 MHz
CCIR 601 : I Y,U,Y,V I	128	64
TVAD : Y 6 I U,V I	256	128

Las macrocélulas (con 138 kTors en total, excluidas las memorias de línea) tienen la misma configuración y están programadas por la misma palabra de control de 4 bit conectándose para formar una matriz sistólica. Para minimizar el retardo crítico de los circuitos CMOS, tanto la suma como el acarreo se propagan entre los diferentes bloques, dando como resultado el que la matriz sistólica llegue a ser una gran estructura de acarreo. Un sumador de palabra larga de acarreo seleccionado se usa como una cadena de acarreo solo en las cuatro macrocélulas de los puertos de salida. Esta matriz sistólica configurable es bastante flexible para soportar la implantación VLSI de los filtros de interpolación y decimación y de los filtros de bucle entre/intra-DCPM.

Para la estimación de la imagen en movimiento se usa un algoritmo de comparación de bloques. La búsqueda se limita a un desplazamiento máximo en el margen $[-p, +(p-1)]$ a ambos lados de la posición del bloque de referencia (área de búsqueda). El esquema básico es la búsqueda completa de todos los bloques candidatos $q = (2p)^2$. El criterio del mínimo de los valores absolutos solo requiere unas pocas instrucciones y realiza la búsqueda satisfactoriamente. El algoritmo viene dado por la expresión:

$$s(m,n) = \sum_{j=1}^N \sum_{k=1}^N |x(i,k) - y(i+m, k+n)|$$

$$\text{para } -p \leq m, \quad \text{y} \quad n \geq p-1$$

El mínimo error de todas las sumas $s(m,n)$ dentro del área de búsqueda es $(m,n)_{\min}$ que define el vector de movimiento. La velocidad de cómputo correspondiente a los q bloques candidatos examinados, al tamaño de trama $Nl \times Np$, y a la velocidad de tramas f_F , es aproximadamente $q \times Nl \times Np \times f_F$ (resta + valor absoluto + suma)/segundo y es independiente del tamaño del bloque N . En el caso de señal de video de difusión, la operación requiere 2,65 Gigaoperaciones básicas por segundo, para $p = 8,576 \times 720$ pixels y $f_F = 25$ Hz.

Una estimación en tiempo real de movimiento de $-8/+7$ vectores se propone para bloques 8×8 ($N = 8$) a la velocidad básica IY,U,Y,VI multiplexada de pixels de 54 MHz. Cada elemento procesador (PE) de la arquitectura calcula dos distorsiones próximas $s(m,n)$ en un modo multiplexado en tiempo. Un PE es capaz de restar dos valores de 8 bits, extraer el valor absoluto del resultado y realizar una acumulación de 16 bits.

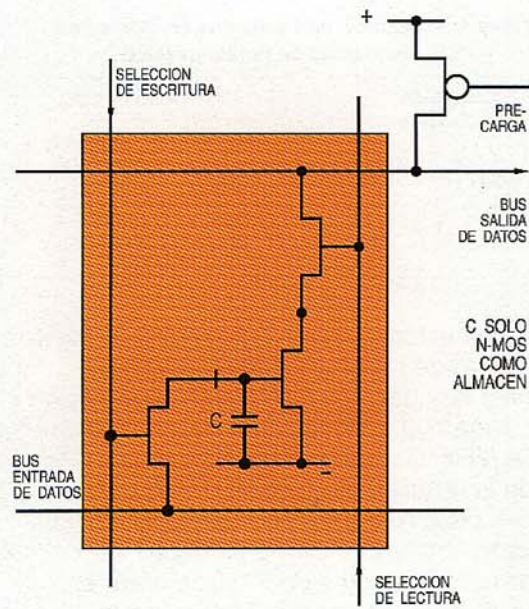
Si T es el período de reloj y N_{pe} el número de PE que se ejecutan en paralelo, el tiempo de computación para el completo desplazamiento del campo de vectores de $Nl \times Np/N^2$ vectores es $q * T * Nl \times Np/N_{pe}$, el cual no debe exceder del período de trama $1/f_F$. En la Tabla 1 se muestra la implantación de la arquitectura sistólica con los necesarios PE de tiempo compartido para $p = 8$ y $N = 8$.

Una unidad especial calcula el mínimo entre todas las distorsiones posibles. La matriz sistólica de los PE tiene más del 85% del total de transistores (280 kTors para 128 PE). Se ha utilizado lógica dinámica y no dual para mejorar la densidad del esquema de los dos PE básicos de distorsión multiplexados en el tiempo.

La DCT (transformada discreta del coseno), en donde las funciones base son muestras de funciones coseno, es muy buena para la decorrelación de la señal de datos de video. En la Figura 3 se selecciona la DCT bidimensional como bloque de proceso de transformación, permitiendo el empleo de redundancia espacial dentro de los bloques de imagen para alcanzar una codificación y cuantificación eficiente.

Las DCT/IDCT bidimensionales 8×8 , 8×16 , 16×8 ó 16×16 se implantan usando una DCT unidimensional, primero en filas (columnas) y después en columnas (filas). El bloque DCT/IDCT comprende una matriz de 32 multiplexores/acumuladores serie-paralelo, dos etapas de relleno, convertidores de pixel y de coeficiente serie-paralelo y una RAM de transposición de 256×16 . Se ha evaluado que una implantación del algoritmo completo puede contener solamente 80000 transistores.

Figura 5
Diagrama del circuito
MOS de la DRAM
CMOS multipropósito
de tres transistores.



Todos los esquemas de matrices sistólicas se generan y se ensamblan automáticamente usando un compilador de silicio, basándose en plantillas predefinidas y en un pequeño paquete de células diseñadas a mano (sumadores completos con selección y almacenamiento de acarreo, registros de desplazamiento, inversores y conmutadores). Una técnica de compactación de esquemas se usa para personalizar las matrices y, eventualmente, reducir el área de silicio del ensamblaje específico de macrocélulas. El uso de grandes matrices basadas en un limitado número de células hechas a mano disminuye drásticamente el número efectivo de puertas a diseñar, y por tanto el esfuerzo de desarrollo.

Memorias DRAM de líneas de video integradas

Una célula básica, que es obligatoria para limitar el número de terminales y el consumo de potencia de los circuitos LSI planificados, y que permite un mayor nivel de integración del video codec VBR

de MTA, es la muy conocida memoria dinámica DRAM de tres transistores *n*-MOS mostrada en la Figura 5. Esta célula se usa para construir matrices DRAM múltiples almacén, en el circuito, del total de las líneas de video cuando sea necesario. Dentro de una matriz, el desplazamiento del pixel se implanta con un puntero común, que direcciona cíclicamente las memorias de línea, lee un pixel y lo reescribe directamente en la posición de la DRAM anterior en tiempo.

En un CMOS de 0,5 μm con tres niveles de metalización, las células optimizadas necesitan 50 mm^2 de área de silicio (velocidad de reloj de 54 MHz). Un filtro 2D de bucle 7 $\times$ 7 necesita seis líneas, cada una de 720 pixels, o una memoria de 720 $\times$ 8 $\times$ 6 = 34560 bits, que consumen 2,1 mm^2 de silicio y comprenden hasta 125 kTors. La Tabla 2 presenta el inventario de matrices de DRAM contadas en el codificador multiplexado del CCIR 601 IY,U,Y,VI.

Hasta medio megabit de DRAM se requiere en el circuito para organizar los diferentes flujos de datos de video que forman parte de la codificación de video. Existe una tendencia aplicable en la mayoría de las futuras aplicaciones: favorecer la integración de las matrices de DRAM en el circuito integrado para permitir una mayor densidad de integración.

El esquema de multiplexación IY,U,Y,VI del codificador de TVAD necesitaría el doble de DRAM (3 millones de Tors) al doble de velocidad (108 MHz). Sin embargo, las tecnologías submicra mejoran mas la densidad de integración que la velocidad, lo cual hace esta realización crítica en las peores condiciones de la tecnología CMOS de 0,5 μm a 3,3 V.

Controladores de memoria de campo/trama

Las consideraciones anteriores no son todavía aplicables al almacenamiento de un campo o una trama completa. El paso

Tabla 2 - Tres matrices DRAM de transistores *n*-MOS

Matrices DRAM decodif de bloques de proceso	DRAM (kbits)	DRAM (kTors)	Area (mm^2)	Nº de líneas [Y,U,V]
Transforma barrido de tramas a progresivo	23,0	82,9	1,4	2
Control de resolución (simétrica 7 $\times$ 7)	69,1	248,8	4,1	6
Transforma barrido progresivo a por bloque	80,6	290,3	4,8	7
Filtro de bucle entre/intra (7 $\times$ 7)	69,1	248,8	4,1	6
Estimación/predicción de movimiento	184,3	663,6	11,1	16
TOTAL	426,2	1534,5	25,6	—

de *control de resolución* bidimensional de la Figura 2 está precedido por una transformación modo búsqueda, desde búsqueda entrelazada hasta el modo búsqueda progresiva. Esto se realiza por medio de un campo de almacenamiento externo de 1 Mbyte de datos de video con interfaz de lógica dedicada.

La lógica del controlador de memoria tiene un interfaz con una DRAM de video de 8 Mbits⁴ compuesta de ocho grupos de submatrices de 1 Mbit, con una organización de 128 K × 8 bits, todo en un único encapsulado. Cada submatriz tiene circuitos de conversión de 8 bits serie/paralelo y paralelo/serie. Con ello, una palabra de datos interna de 64 bits (8 bytes) se procesa concurrentemente con acceso de lectura y escritura. Para un tiempo de ciclo serie de 18 ns, el ciclo de una matriz DRAM de 128 k × 8 bits es de solo 70 ns, lo que proporciona un tiempo razonable para las operaciones de *lectura y escritura* aleatorias a cada una de las células de la DRAM.

Además, se necesita una cantidad adicional de DRAM externa de video dentro del bucle DCPM para almacenar la trama de video completa.

Codificador/decodificador universal de longitud variable

El codificador de longitud de palabra variable representa los símbolos de entrada que se esperan que ocurran más a menudo mediante códigos más cortos que los de los símbolos que ocurren menos frecuentemente. El codificador se compone de varias tablas. Cada símbolo de entrada de longitud fija produce un código de longitud de palabra variable más la longitud de este código.

El método seguido utiliza un código universal. Se necesitan procesar los datos para obtener largas secuencias de símbolos binarios con regularidad estadística, por ejemplo la secuencia obtenida extrayendo el k -ésimo bit del coeficiente de transformación (n,m) en bloques sucesivos de imágenes. Usando este método, se pueden formar palabras de 90 bits con los bloques DCT pertenecientes a una banda de ocho líneas de TV. La implantación VLSI utiliza estructuras de mezcla SRAM y módulos FIFO específicos.

Una característica típica de los video codec de MTA es la codificación de la entropía basada en una clasificación de dos niveles, en el codificador 1 la clase de información garantizada y en el codificador 2 la clase de información resaltada. Se da por hecho que la red MTA

asigna prioridades altas y bajas a sus respectivos canales virtuales.

Procesamiento de las células de transmisión/recepción MTA y codificación/decodificación del error directo

La velocidad de ecualización se organiza usando una SRAM externa de 1 Mbit de 25 ns. Las colas FIFO son de hasta 2000 células MTA. El empaquetado y desempaqueado dentro de la células MTA de 48 bytes incluye la gestión de la capa de adaptación MTA y tienen como tarea principal la generación y decodificación de la FEC (corrección directa de errores). La capa de adaptación usa dos octetos para las funciones de adaptación y puede incluir un campo FEC de 10 bits que cubre la información útil completa.

Terminación y control del multiplexor/demultiplexor MTS-1 de MTA

Las funciones de multiplexación/demultiplexación MTA implantan arquitecturas estándares VLSI de MTA, como la disposición de memoria de las células y el uso de listas encadenadas hardware. La función de terminación MTS-1 de JDS se realiza en base a la arquitectura de trama y a la metodología explicada en la referencia 2.

Todos los algoritmos de control de video (p. ej., control de memoria, selección del modo, y evaluación crítica que requieren decisiones lógicas) y las funciones de control RDSI-BA se implantan en un núcleo de microcontrolador de silicio, cuya prestación está alrededor de 5 MIPS a 54 MHz. Un período de tiempo de ocho líneas dobles es adecuado para completar un ciclo de actualización de control, en el peor caso de procesamiento del terminal del codec VBR de MTA.

Todas las funciones mencionadas son comunes a todos los servicios (video, datos y audio) que soporta el terminal. Deben de implantarse en un ASIC separado. Las otras funciones del codec VBR de MTA se agrupan naturalmente en los CLSI *codificador y decodificador*.

Características claves de la tecnología VLSI

La tecnología de semiconductores ha realizado avances muy importantes en los últimos veinte años, permitiendo la fabricación de circuitos integrados de alta densidad con millones de dispositivos en un único dado de silicio. En el año 1997 se dispondrá de herramientas de litografía y modelación capaces de

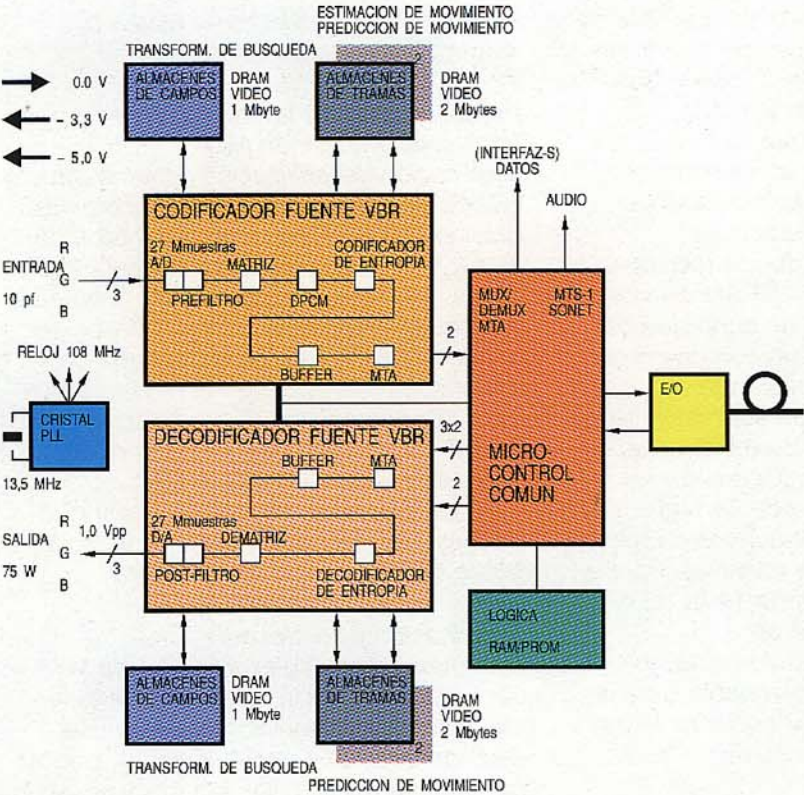


Figura 6
Video terminal
residencial VBR CCIR
601.

producir con fiabilidad a 0,3 μm con las requeridas tolerancias. Nuestro análisis ha considerado las siguientes características de un proceso de CMOS VLSI de

Tabla 3 – Valores de densidad para CMOS de 0.5 μm 3ML

Dispositivos VLSI	Densidad
RAM : puerto único	7,32 kbit/mm ²
RAM : puerto doble	5,5 kbit/mm ²
RAM : puerto triple	4,3 kbit/mm ²
DRAM : cuatro transistores MOS	14,75 kbit/mm ²
ROM	45 kbit/mm ²
Lógica : a medida, velocidad > 54 MHz	12,2 kTors/mm ²
Lógica : a medida, velocidad ≤ 54 MHz	21,4 kTors/mm ²
Lógica : parcialmente a medida	10 kTors/mm ²

Tabla 4 – Velocidad de puertos y consumo de potencia en el peor caso previsto

Tamaño característico	Consumo de potencia	Retardo de puertas
0,7 μm (5,0 V)	8,0 $\mu\text{W/MHz}$	0,50 ns
0,7 μm (3,3 V)	5,6 $\mu\text{W/MHz}$	0,80 ns
0,5 μm (5,0 V)	6,0 $\mu\text{W/MHz}$	0,35 ns
0,5 μm (3,3 V)	4,1 $\mu\text{W/MHz}$	0,55 ns

0,5 μm , que estará disponible industrialmente en 1994.

Límites tecnológicos: tamaño del dado de silicio

El área del dado del video codec VBR depende de las metodologías de diseño empleadas en su realización. Para los circuitos de video aún se necesita el diseño totalmente a medida de un pequeño conjunto de operadores claves de procesamiento digital de señal (diferentes tipos de sumadores completos, registros de desplazamiento, inversores, conmutadores), los cuales se ensamblarán en compiladores de silicio. Las células básicas serán diseñadas como células/objetos independientes de la tecnología.

La Tabla 3 resume las densidades de integración previstas en la proyectada tecnología CMOS de 0,5 μm de puerta de polisilicio, con tres capas de metalización. La capa superior se usará para el suministro de energía y distribución de reloj, las otras dos para la interconexión de las diferentes puertas lógicas.

Las previsiones hechas se basan en el análisis de las existentes estructuras múltiples de silicio en tecnologías CMOS de 1,2, 1,0 y 0,7 μm con funciones integradas similares. La transición de tecnologías de 1,2 a 1,0, de 1,0 a 0,7, de 0,7 a 0,5 μm produce un factor de disminución de área de 0,69, 0,55 y 0,52 respectivamente.

En las matrices ROM y RAM tiene que añadirse una tara del 15% al núcleo de la matriz RAM/ROM para la circuitería de la lógica de decodificación y del multiplexor/demultiplexor. Se emplea un incremento de área de un 30% para el enrutamiento del circuito integrado, considerando el hecho de que éste se ensambla a partir de grandes matrices hechas a medida, que ya incluyen sus principales interconexiones (energía, reloj, trayectos de datos). Además, una estrategia de interconexión de tres capas de metal produce un nuevo incremento de la densidad. Para la lógica de pruebas se asigna un 10% en el nivel superior del núcleo del circuito. Los puntos de conexión y las líneas de trazado se cuentan para un anillo de 500 μm alrededor de la circuitería del núcleo del circuito. El tamaño máximo del dado de silicio previsto es de 210 mm² ó 1,45 × 1,45 cm.

Límites tecnológicos: velocidad y consumo de potencia

Para mantener el consumo de potencia del circuito integrado por debajo de los 8 W, lo que permitirá el seguir con la refri-

Tabla 5 – Evolución de dispositivos VLSI codificadores y decodificadores

Codificador y decodificador 1994 : CMOS de 0,5 μm con tres capas de metal			
Servicio	Nº de circuitos idénticos	Velocidad de proceso (Mpels/s)	Nº de DRAM de video externas
CCIR 601 I Y,U,Y,V I	1	27 (54 MHz)	3 $\times$ 8 Mbit
TVAD Y y I U,V I	2 (#)	54 (54 MHz)	3 $\times$ 2 $\times$ 8 Mbit
<i>Características claves del circuito</i>		Codificador	Decodificador
Número de kTors		3495	2984
Area de silicio (mm ²)		203	179
Disipación de potencia (W)		8	6
Número de terminales		154 (señal); 144 (alimentación)	154 (señal); 144 (alimentación)
Codificador y decodificador 1997 : CMOS de 0,3 μm con cuatro capas de metal			
Servicio	Nº de circuitos idénticos	Velocidad de proceso (Mpels/s)	Nº de DRAM de video externas
TVAD Y y I U,V I	1	54 (54 MHz)	3 $\times$ 16 Mbit

geración por convección natural, es obligatorio que la parte digital esté alimentada con 3,3 V a 54 MHz o menos. La lógica para mayores velocidades aún está alimentada a 5 V.

Las velocidades de puerta y el consumo de potencia previstos para el caso peor se resumen en la Tabla 4, la cual muestra que hay una reducción de velocidad cuando se usa un tamaño de 0,5 μ m a 3,3 V en lugar de 0,7 μ m a 5 V. Este hecho, en el caso del codec para TVAD, fuerza a una velocidad de proceso de 54 MS/s en lugar de 108 MS/s (a 3,3 V), duplicándose el número de transistores.

En las arquitecturas aquí consideradas tienen importancia las pequeñas RAM de unos pocos miles de bits. En el caso peor, el ciclo de tiempo del sistema CMOS de 0,5 μ m es de unos 10 ns para RAM/DRAM de bajo consumo; se pueden obtener mejores valores en partes específicas.

Evolución del terminal de video TVA de RDSI-BA

En la Figura 6 se muestra un terminal típico residencial. Incluye un codificador de vídeo, hasta cuatro decodificadores de vídeo y un interfaz S de RDSI de banda estrecha (2 $\times$ 64 Kbit/s y 16 Kbit/s). Los VLSI codificador/decodificador hacen interfaz con las señales RGB a la velocidad de pixel (ocho bits por pixel) de

27 MS/s para el codec CCIR 601, y de 70 MS/s en el caso de TVAD. En el otro extremo, todas las señales se multiplexan y demultiplexan en/desde una trama conectada MTS-1, tras la conversión eléctrica a óptica, hacia una fibra óptica.

Usando la complejidad prevista de la Tabla 3 y el resultado del análisis anterior, la planificación propuesta para el VLSI codificador y el VLSI decodificador se muestra en la Tabla 5.

Conclusiones

Se ha demostrado la factibilidad industrial de una integración máxima del video codec VBR de MTA para 1995. Se requiere una tecnología CMOS de 0,5 μ m y de tres capas de metalización, el uso masivo de memorias DRAM de líneas de vídeo en el circuito integrado, y la integración de circuitos analógicos avanzados y de hasta 3,5 millones de transistores digitales en el mismo dado de silicio de 200 mm². Aún se usarán memorias DRAM externas de 8 Mbits con ciclo de acceso por ráfagas de 18 ns.

La llave para alcanzar tal complejidad en VLSI es la de hacer corresponder automáticamente el flujo de datos con arquitecturas dedicadas VLSI, tales como las matrices sistólicas y el uso masivo de síntesis de arquitecturas por compiladores de silicio.

Referencias

- 1 W. Verbiest y L. Pinnoo: A Variable Bit Rate Video Codec for Asynchronous Transfer Mode Networks: *IEEE Journal on Selected Areas in Communications*, 1989, volumen 7, nº 5, página 761.
- 2 F. Van Simaey et al: Diseño de arquitectura VLSI para productos JDS: *Comunicaciones Eléctricas*, volumen 65, nº 2, págs 151-160 (en este número).
- 3 ESPRIT Project 97: The Cathedral III Silicon Compiler: *Report to EEC*, 1986.
- 4 H. Kotani et al: A 50 MHz 8-Mbit Video RAM with a Column Direction Drive Sense Amplifier: *IEEE Journal of Solid-State Circuits*, 1990, volumen 25, nº 1, página 30.

P. Guébels nació en Elisabethville, Zaire, en 1953. Recibió el diploma de ingeniero en electrónica por la universidad católica de Lovaina, Louvain-la-Neuve, Bélgica, en 1977. Desde 1977 a 1980 fue ingeniero de investigación en el Laboratoire de Microélectronique, Louvain-la-Neuve, Bélgica, trabajando en el diseño de circuitos integrados analógicos. En 1980, pasó al departamento de microelectrónica de Bell Telephone, en Amberes. Después trabajó en el diseño del circuito de línea de abonado del sistema 12, llegó a ser jefe del grupo de fiabilidad de diseños digitales de RDSI-BE. Hasta hace poco, fue responsable de métodos y herramientas CAD hardware. En la actualidad es jefe de desarrollo de productos para núcleo de RDSI-BA del grupo de tecnología de sistemas hardware, trabajando en metodologías de diseño de sistemas HW/FW/SW.

J. Goubert, nació en Ninove, Bélgica, en 1961. Obtuvo la graduación en ingeniería electrónica por la universidad de Lovaina en 1984, entonces pasó al grupo de diseño de Bell Telephone, en Amberes. Inicialmente trabajó en el diseño de circuitos integrados digitales para la RDSI de banda estrecha. Hasta hace poco ha estado involucrado en el estudio y definición de arquitecturas VLSI para componentes de RDSI-BA. Ahora está en el Centro de Coordinación de Alcatel como jefe de los bloques hardware de la RDSI-BA.

B. Voeten, nació en Beerse, Bélgica, en 1961. Se graduó en ingeniería de computación en la universidad católica de Lovaina, en 1985. En 1986 ingresó en Bell Telephone como ingeniero de desarrollo de sistemas avanzados en el departamento de investigación. En la actualidad es jefe del grupo de investigación que trabaja en la codificación de video VBR para redes para MTA.

L. Elewaut, nació en Gante, Bélgica, en 1961. Recibió la graduación de ingeniero eléctrico en la universidad estatal de Gante (RUG), en 1984. Desde 1984 a 1987 fue un asistente de investigación en el laboratorio de electro-magnetismo y acústica (RUG), donde investigó en la modelación numérica de MESFET de Arseniuro de Galio. En 1989, recibió el doctorado en ingeniería eléctrica por la misma Universidad. En 1988, ingresó en el centro de investigación de Alcatel Bell Telephone. En la actualidad investiga terminales y adaptadores de terminal MTA incluidos los aspectos de estandarización de la video codificación MTA. Es miembro activo del grupo de expertos en video codificación MTA SGXV/WP1 del CCITT.

Diseño de arquitectura VLSI para productos JDS

Se espera que la nueva jerarquía digital síncrona (JDS) cumpla las especificaciones de red para proporcionar un servicio completo, desde canales de baja velocidad a alta velocidad. Alcatel está jugando un papel de líder en el desarrollo de una amplia gama de productos JDS que reducirán los costes de equipo de red y aumentarán la fiabilidad de la red y la calidad del servicio.

F. Van Simaeys

Alcatel Bell Telephone, Amberes, Bélgica

F. Geromel

J.C. Billy

Alcatel CIT, Villarceaux, Francia

R. Sigloch

Alcatel SEL, Stuttgart, Alemania

R. Briscoe

Alcatel Network Systems, Raleigh, EEUU

J. Merino

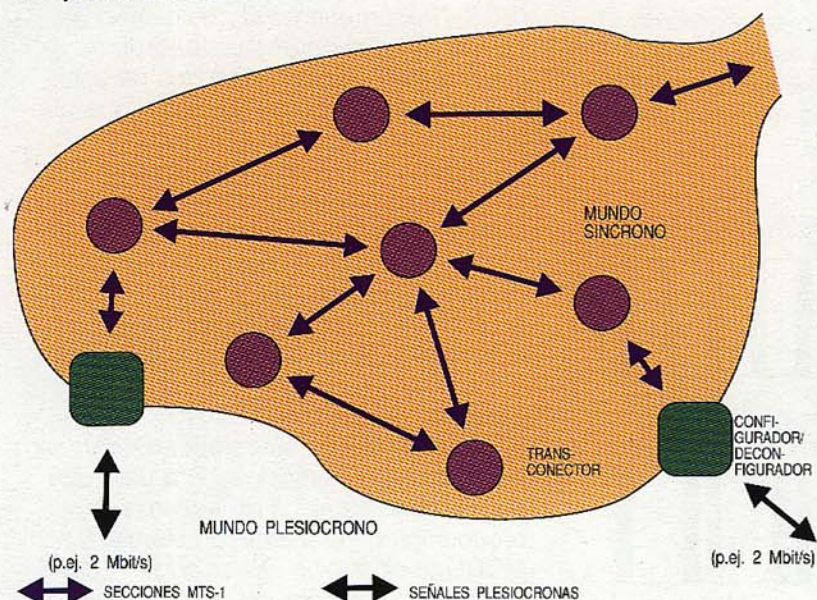
R. Burriel

Alcatel Standard Eléctrica, Madrid, España

Introducción

Las necesidades de los clientes están demandando que la red telefónica tenga una mayor variedad de servicios y una mayor velocidad. Los cambios necesarios se extienden, por ejemplo, desde cambios de formato de señal analógica a digital, de aparato de abonado a terminal multimedia y de transferencia de información de baja velocidad a alta.

Figura 1
Imagen de una red simplificada y más económica, resultado de la introducción del equipo de multiplexación JDS.



Los últimos avances en las tecnologías de transmisión por fibra óptica y de modulación multinivel por radio han hecho posible realizar un sistema económico de transmisión de gran capacidad. Sin embargo, una arquitectura de red adecuada para el servicio anteriormente mencionado exige no solamente nuevas tecnologías de transmisión de gran capacidad sino también una tecnología de red evolutiva.

Las redes síncronas y la OAM (operación, administración y mantenimiento) son tecnologías claves para la evolución de la red. Se ha establecido y normalizado por el CCITT en noviembre de 1988 un nuevo esquema de multiplexación síncrona y de interfaz basado en este concepto y ha sido llamado jerarquía digital síncrona (JDS). El JDS, definido por las recomendaciones G707, G708, y G709 del CCITT, ha sido desarrollado como un procedimiento flexible de transporte para varios tipos de señales de transmisión de EE.UU. y ETSI. En el futuro reemplazará a los actuales sistemas plesiócronicos debido a que ofrece unas ventajas significativas. No solamente será posible transferir formatos de señal de EE.UU. a Europa y viceversa (de gran interés para los crecientes mercados corporativos de red), sino que también permitirá mayor flexibilidad de encamina-

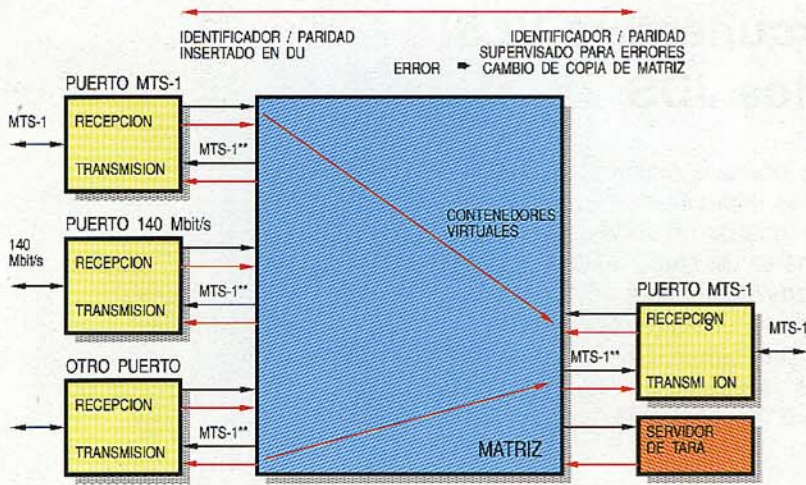


Figura 2
Arquitectura del transconector Alcatel 1641 SX.

miento, reencaminamiento, protección de trayectos y facilidad general de gestión de red. De hecho, sustituirá al actual tipo de conexiones de transmisión punto a punto entre nodos por una red verdadera (Figura 1).

La filosofía que subyace en el estándar se basa en que cualquiera de las velocidades de transmisión utilizadas actualmente pueda ser empaquetada en contenedores de tamaño estándar y localizados en una posición fácilmente identificable dentro de la estructura multiplexada. Todas las velocidades actualmente utilizadas tienen correspondencia en los contenedores, llamados contenedores virtuales (CV). Una vez localizados en contenedores, se pueden integrar juntos en formatos estándar organizaciones múltiples de diferentes contenedores. De esta forma, la estructura se puede utilizar para transportar canales europeos de 2 Mbit/s, 8 Mbit/s, 34 Mbit/s y 140 Mbit/s ó norteamericanos de 1,5 Mbit/s, 6 Mbit/s y 45 Mbit/s.

A fin de obtener una representación eficiente dentro de una estructura de 140 Mbit/s y proporcionar una tara de gestión suficiente, se ha elegido la veloci-

dad de 155 Mbit/s como la velocidad básica. A esta velocidad se la llama nivel 1 del módulo de transporte síncrono (MTS-1) y forma el bloque básico para un tráfico de mayor velocidad binaria.

El punto central de una red JDS es un transconector que puede programarse para interconectar varios afluentes o contenedores virtuales (CV) entre las diferentes señales portadoras y comunicarse con otros transconectores o con un ordenador de control central a través de unos interfaces Q que utilizan la capacidad de tara de las señales portadoras.

Sistema transconector Alcatel 1641 SX

El sistema transconector Alcatel 1641 SX es capaz de conmutar los CV entre señales MTS-1 (Figura 2). Esto significa que para conmutar señales plesiócronas deben primeramente incorporarse al contenedor adecuado antes de la conmutación y posteriormente extraerse del mismo en el extremo de salida.

Principio de conmutación

La incorporación de los CV en una señal MTS-1 sigue una secuencia periódica que se repite nueve veces cada trama y que se puede representar gráficamente en filas y columnas. Para conmutar los CV es suficiente conmutar columnas, en el supuesto que un CV particular esté siempre situado en el mismo grupo de columnas. Se usa como formato interno tipo 1641 SX del MTS-1, y se conoce por MTS-1**.

Se ha desarrollado una matriz capaz de conmutar columnas de una señal MTS-1**, y por lo tanto de conmutar los CV. La matriz se ha realizado como un único circuito básico de conmutación (BSC). Puede conmutar cualquier nivel de CV y ofrece una capacidad de 8×8 MTS-1**. Cuatro circuitos de este tipo pueden asociarse juntos en una placa para proporcionar una capacidad de 16×16 MTS-1**. Varias placas pueden asociarse a su vez en una estructura cuadrada de conmutación para sistemas mas grandes. La probabilidad de bloqueo es cero para todos los tamaños. El principio de conmutación se muestra en la Figura 3.

Conjunto de circuitos MTS-1

El conjunto MTS-1 se compone de un circuito SPC (convertidor serie a paralelo) para ambos caminos de transmisión y recepción con la matriz, un circuito MCDD (multiplexor - codificador - decodificador demultiplexor), tres circuitos de

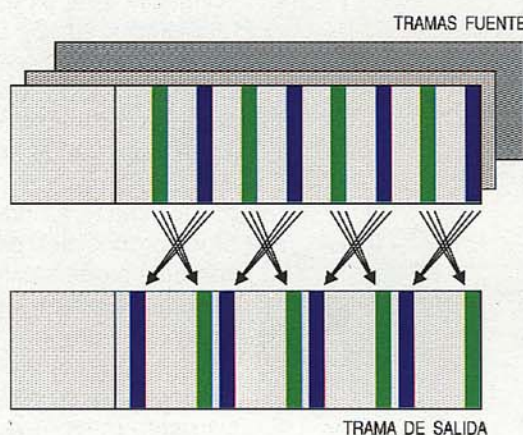


Figura 3
Principio de conmutación de los contenedores virtuales utilizados en el sistema transconector Alcatel 1641 SX.

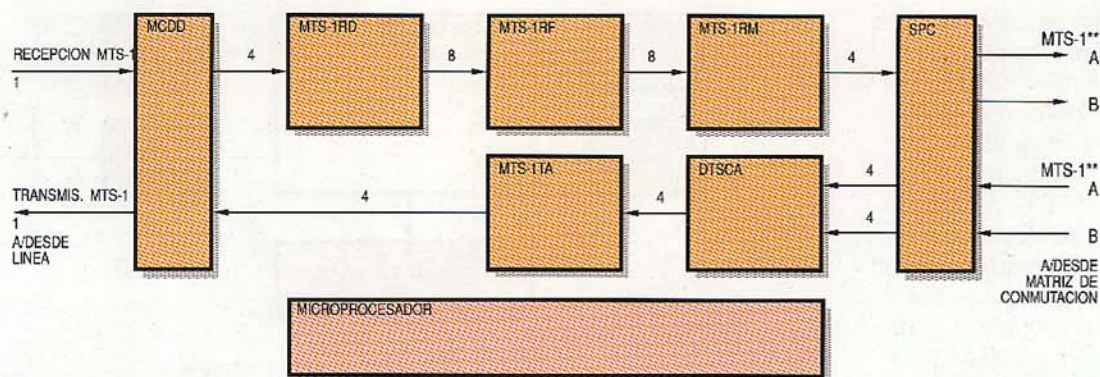


Figura 4
Conjunto de circuitos
MTS-1 para el
transconector
Alcatel 1641 SX.

recepción (MTS-1RD, MTS-1RF, MTS-1RM) y dos circuitos de transmisión (DTSCA, MTS-1TA). El MCDD convierte la señal de entrada MTS-1 codificada en CMI a un formato binario en cuatro bits que se entrega al circuito MTS-1RD (MTS-1 demultiplexor receptor). El alineamiento de trama se basa en una secuencia de sincronismo, a partir de la cual se identifican y se procesan los punteros en el circuito MTS-1RD, de modo que se pueda identificar cada octeto entrante en el canal de entrada. Los octetos de la tara de sección (TS) y de la tara de trayecto VC-4 (TT) finalizan donde sea procedente y están disponibles para el sistema de control.

Los datos MTS-1 desaleatorizados se obtienen del circuito MTS-1RD como un octeto, junto a la información identificativa (bus CVN). El comienzo de cada CV (octeto J1 ó V5) también se indica mediante una señal CVF. La señal MTS-1 de entrada de cada CV individual se supervisa para identificar condiciones de alarma y errores de bit, como pérdida de señal (LOS), pérdida de trama (LOF), pérdida de puntero (LOP), señal de indicación de alarma (SIA), etc.

La información CVN se utiliza para direccionar un grupo de FIFO del MTS-1 RF (FIFO de recepción del MTS-1). Los datos MTS-1 se almacenan en su FIFO, de esta manera cada CV se guarda en una FIFO diferente. Las FIFO poseen indicadores que señalizan si una FIFO en particular está llenándose o vaciándose peligrosamente. Además existen biestables de desbordamiento/vaciado que indican pérdida de datos en caso de que sucedan desbordamientos o vaciados.

En la parte de salida las FIFO están direccionadas por el circuito MTS-1RM (multiplexor receptor de MTS-1). Este circuito opera con la multitrama y reloj del sistema del 1641SX. Extrae datos CV de las FIFO en la forma requerida por la sincronización del sistema y calcula el valor

del puntero, que coloca en la trama MTS-1^{**}. En el caso de que una FIFO señalice que se está llenando o vaciando, el MTS-1RM realiza un relleno positivo o negativo y modifica los punteros. Finalmente calcula la paridad y asocia un identificador único a cada unidad domestica (UD: MTS- 1^{**} equivalente a una unidad afluente) antes de entregar los datos a las dos copias de la matriz. Cada UD puede sustituirse por la SIA bajo control del interfaz del sistema. Además es posible supervisar toda la información TT de cualquiera o de todos los CV. Los datos se convierten por el SPC en un tren de bits serie a 155 Mbit/s y se entregan a la matriz.

En la dirección de transmisión, el circuito SPC recibe dos trenes serie y redundantes MTS-1** a 155 Mbit/s de la matriz y los convierte a formato de 4 bits. El circuito conversor (DTSCA) de dúplex a simplex se responsabiliza de la selección de uno de las copias MTS-1** que provienen de las dos copias de matriz. Supervisa la paridad y la información de identificación insertada en las UD por el MTS-1RM antes de que entrara en la matriz. Ambas copias del MTS-1** provenientes de la matriz son supervisadas continuamente y si ocurriera algún error en el lado activo, el DTSCA conmuta a la otra copia de protección y lo indica al sistema de control.

El circuito transmisor MTS-1 (MTS-1TA) recibe la señal seleccionada del DTSCA.

Tabla 1 – Tecnología y complejidad del conjunto de circuitos MTS-1 de 1641 SX

CIRCUITO	TECNOLOGIA	NUMERO DE PUERTAS	FRECUENCIA MAXIMA
SPC	A MEDIDA	40K*	155 MHz
MTS - 1RD	LCA100K**	72K	40 MHz
MTS - 1RF	LCA100K	95K	20 MHz
MTS - 1RM	LCA100K	90K	40 MHz
DTSCA	LCA100K	45K	40 MHz
MTS - 1TA	LCA100K	90K	40 MHz
BSC	LCB007***	100K	40 MHz

* TRANSISTORES

** MATRIZ DE PUERTAS DE 1 MICRA de LSI-Logic

*** CELULA ESTANDAR DE 1 MICRA de LSI-Logic

añade los octetos restantes de TT y TS a la señal MTS-1** y realiza la aleatorización. Los datos de transmisión MTS-1 se sacan como un tren de datos de 4 bits para su transmisión a la línea. El circuito MTS-1TA es capaz de modificar la TT de cualquiera o de todos los CV que pasan, así como de generar la condición de *trayecto no equipado* para cualquier unidad terminal. Los datos MTS-1 se sacan en formatos de 4 bits por el circuito MTS-1TA y se multiplexan por el MCDD para formar la señal MTS-1 de 155 Mbit/s codificada en CMI.

Tecnología y herramientas de desarrollo

La Tabla 1 muestra la tecnología de integración elegida. El SPC es un CMOS completamente a la medida realizado por el centro de investigación de Alcatel SEL. Los otros circuitos se han diseñado en matrices CMOS de LSI-logic, utilizando la cadena completa de herramientas que incluye modelado de comportamiento y simulación multicircuito. Un ejemplo de aplicación para el conjunto completo de circuitos puede verse en la Figura 4.

Sistema transconector Alcatel 1644 SX

El sistema transconector Alcatel 1644 SX es adecuado para vertebrar redes a 144 Mbit/s (jerarquía de datos plesiócrona) ó 155 Mbit/s (jerarquía de datos síncrona), donde se puede usar para supervisión de calidad y reencaminamiento por red en caso de fallo. La arquitectura del 1644 SX se describe en la Figura 5. Existen dos grandes grupos funcionales: funciones de entrada/salida y funciones de matriz. Las funciones de entrada/salida se concentran en placas dedicadas (Figura 6). Estas placas utilizan matrices de puertas CMOS cuyos principales funciones son:

- supervisión de 140 y 155 Mbit/s
- integración de la señal de entrada con la trama interna de la matriz
- supervisión de la trama de la matriz interna
- desconfiguración de la trama de la matriz interna.

La complejidad de estos nuevos ASIC (varias decenas de miles de puertos de configuración no repetitiva) tiene un orden de magnitud mayor que el de los anteriores diseños de sistemas transconectores plesiócronicos.

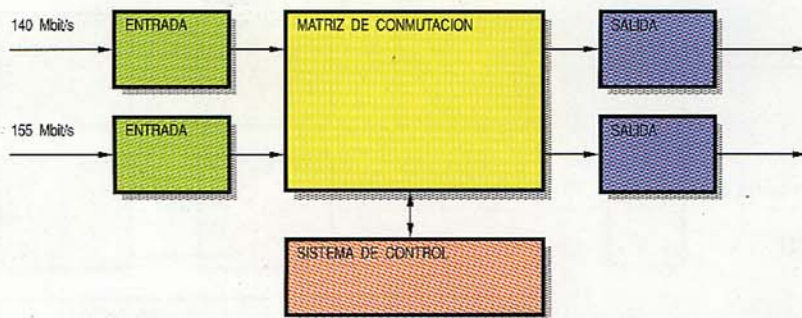


Figura 5
Arquitectura del transconector Alcatel 1644 SX.

El desarrollo de nuevos sistemas JDS implica requisitos mas exigentes en tecnología, metodología y herramientas CAD.

Tecnología

Los circuitos integrados de los transconectores JDS se han desarrollado en tecnología CMOS submicra para poder alcanzar un alto nivel de integración, bajo consumo de energía y la velocidad de operación necesaria

Metodología

El desarrollo de grandes matrices de puertas requiere de una metodología potente de diseño comparable a la requerida por el software a fin de poder controlar la calidad del diseño y los retrasos del desarrollo. El proyecto se divide en varias fases con las necesarias revisiones al final de cada etapa (Figura 7).

Herramientas

Las herramientas de ayuda por ordenador incluyen nuevos sintetizadores lógicos automáticos, simuladores de alto nivel y herramientas mejoradas de captura de esquemas. Ello necesita potentes estaciones de trabajo con gran capacidad de memoria interna (decenas de Mips). El diseño de circuitos integrados se está pareciendo cada vez mas al desarrollo de software y se beneficiará en el futuro de técnicas muy conocidas en la industria del software, como la reutilización de bloques y la gestión de configuración.

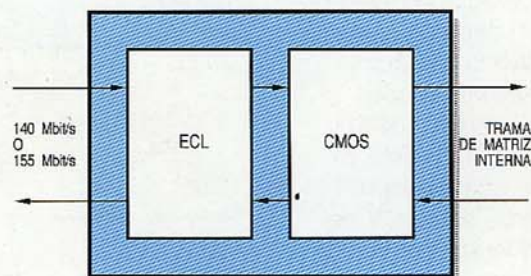


Figura 6
Configuración de las placas de entrada/salida del Alcatel 1644 SX.

Multiplexores terminales y de inserción/extracción

Los multiplexores de inserción/extracción (ADM) proporcionan la flexibilidad de incorporar o extraer señales digitales de menor velocidad a o desde señales multiplexadas de mayor velocidad en puntos intermedios del trayecto de transmisión.

El ADM tiene una arquitectura novedosa en la que la JDS permite la creación de multiplexores de inserción/extracción, mucho más convenientes que dos multiplexores enfrentados como era necesario en la generación anterior de sistemas asíncronos.

En total se desarrollaron 12 matrices de puertas y tres circuitos basados en biblioteca de células para la primera generación de productos JDS que incluyen el ADM/TM50 (que funciona como un STS-1, como un multiplexor de inserción/extracción de 51,84 Mbit/s o como multiplexor terminal dependiendo de la configuración y del equipamiento de la placa), el FTS-150 y el sistema de transporte por 600 fibras que genera un OC3 (155,52 Mbit/s) o una salida óptica OC12 (622,08 Mbit/s) de señales STS-1 ó DS-3 (canal asíncrono de 44,732 Mbit/s).

En el ADM50 (Figura 8) dos trenes de alta velocidad (STC-1) entran y salen por cada dirección. La tarjeta de interfaz de alta velocidad contiene toda la circuitería bidireccional necesaria incluyendo óptica y tres circuitos integrados para convertir la velocidad binaria, entramar, eliminar la fluctuación de fase y manejar la señalización de interfaz con un bus paralelo de 8 bits a 6,48 Mbit/s de la placa. Una versión de interfaz eléctrico está disponible cuando las distancias sean tan cortas que no necesiten conexión óptica.

La tarjeta constituye el corazón del sistema y opera como TSM (multiplexor de intervalo de tiempo) o TSI (intercambiador de intervalo de tiempo). La placa TSM permite la separación de afluentes virtuales (DS-1 ó 1,544 Mbit/s) y la reordenación para la extracción o la continuidad a través del ADM por medio del puerto opuesto de alta velocidad (STS-1). Una placa TSM tiene ocho circuitos integrados de dos tipos que permiten tanto el servicio de VT como la generación de interfaces a los puertos de descarga de baja velocidad. La placa TSI es similar, pero gran parte de la RAM se ha sustituido por una matriz programable XILINX para una partición ulterior de la señal VT (DS-1) en canales de 64 Kbit/s ó DS-0 para una reordenación.

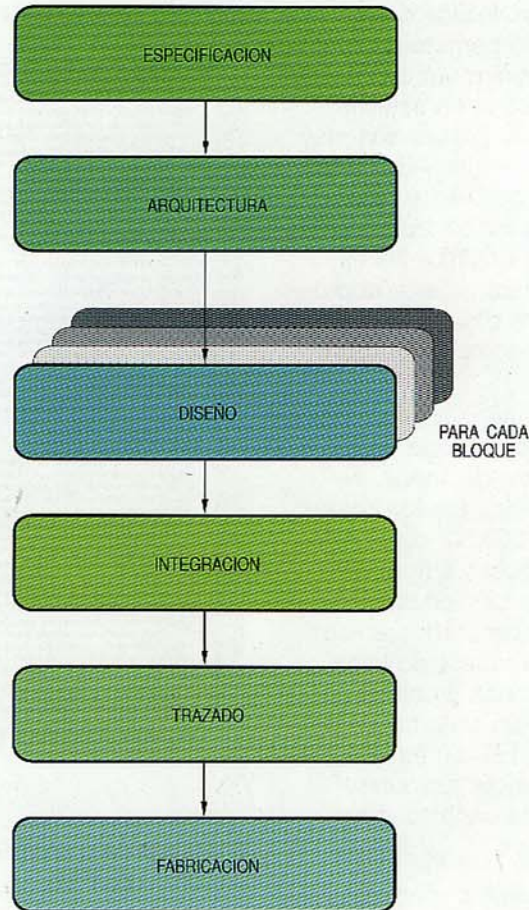
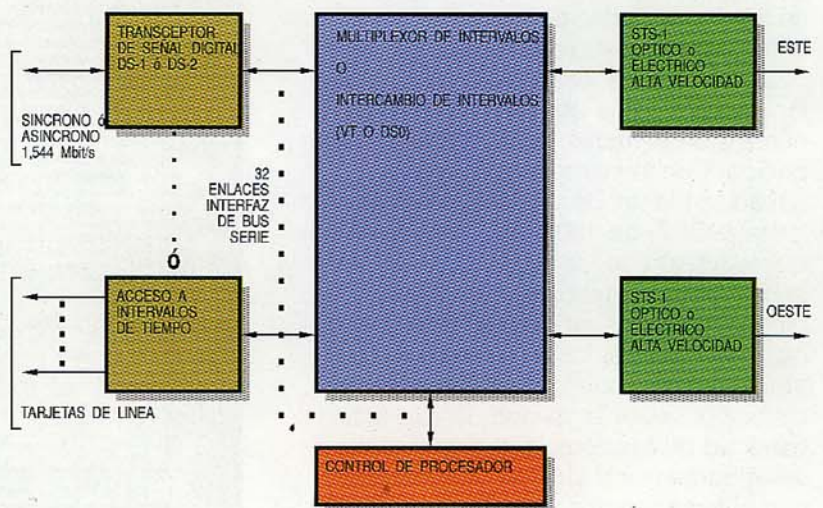


Figura 7
Metodología de
diseño de los ASIC
Alcatel 1644 SX.

El interfaz a los puertos de baja velocidad se realiza por medio de un bus serie SBI. Cada circuito integrado SBI convierte una palabra de 16 bits en paralelo a una señal homócrona de 32 canales a 4,098 Mbit/s, que permite la transmisión a las placas de interfaz de baja velocidad sobre distancias variables, de forma parecida al Sistema 12. El reloj y el sincronismo de trama se recuperan en la placa de

Figura 8
Arquitectura del
multiplexor de
inserción/extracción
ADM50 y del sistema
de portadoras de
abonado LCX50.

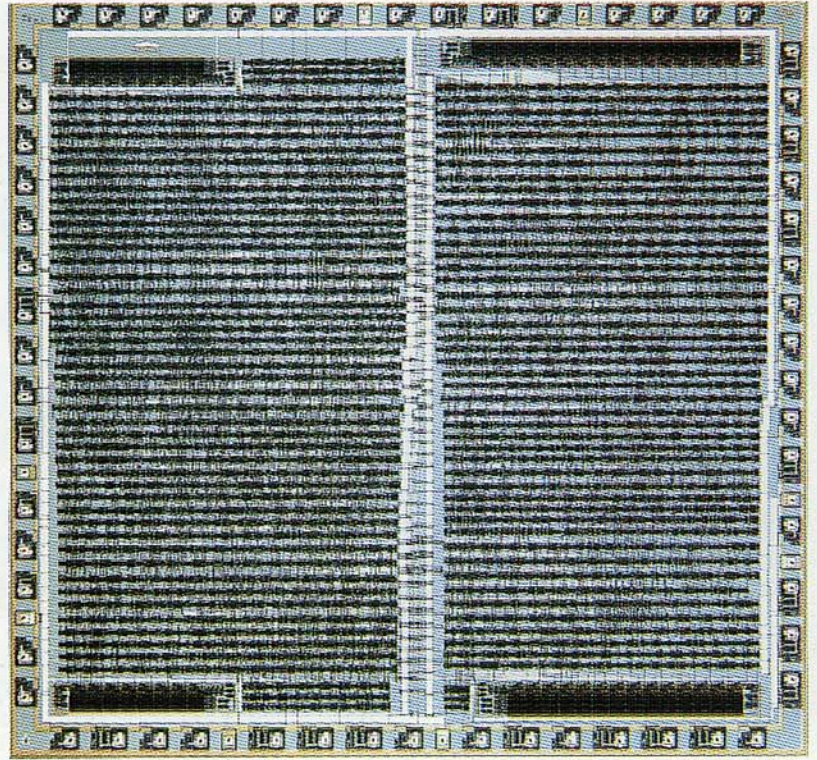


interfaz a baja velocidad. Puede consistir en un DS-1 síncrono que permite un interfaz para transmisiones síncronas bloqueadas o en un DS-1 asíncrono en señales estándar flotantes. Ambas placas son muy pequeñas, teniendo un circuito ASIC a la medida para cada tipo de DS-1 y un circuito integrado ecualizador controlador estándar a la medida. Los cuatro enlaces SBI restantes se usan para acceso al procesador y control, donde otro ASIC realizan el interfaz entre el microprocesador y el sistema.

Si los interfaces DS-1 se sustituyen por una placa de circuitos de ataque, y se las conecta a un bastidor de líneas, se consigue un acceso básico telefónico. En el producto de acceso LCX50, otro circuito integrado, el TSA (acceso a intervalo de tiempo) sustituye las funciones DS-1 y las tarjetas de circuitos de ataque a línea. Un pequeño ASIC en la tarjeta de línea controla todas las funciones y comunica con el TSA. El resto de un sistema de portadoras para abonados LCX50 es un núcleo ADM con una tarjeta funcional TSI para conmutación de los canales individuales de voz a 64 Kbit/s.

Las figuras 9 y 10 muestran dispositivos basados en células estándar usados para interfaz de baja velocidad con ADM/TM 6 LCX. El ASIC para interfaz síncrono DS-1 incorpora 17000 puertas y 1,5 Kbits de RAM de puerto sencillo, mientras que el ASIC TSA tiene 10000 puertas y 8 Kbits de RAM de puerto sencillo.

Las arquitecturas de los nuevos productos JDS ADM-150 y ADM-600 se basan generalmente en la primera generación con un permanente énfasis en la intercambiabilidad de tarjetas y módulos para los diferentes interfaces. Los problemas en la partición de la arquitectura, a medida que aumenta el nivel de integración, no se derivan principalmente de la integración misma sino del tamaño de las placas, que está forzado por el área de los conectores, lo que depara un mayor número de entradas/salidas y mayor disipación. Con la inserción de las nuevas cápsulas planas de plástico con cuatro lados (PQFP) de 100 y 160 terminales en la integración de los productos JDS, la superficie de la placa que contiene dichas funciones es relativamente pequeña. Sin embargo, las interconexiones entre circuitos y entre placas, así como la disipación de energía debido a la gran cantidad de funcionalidad digital a alta velocidad son los factores que determinan el tamaño físico.

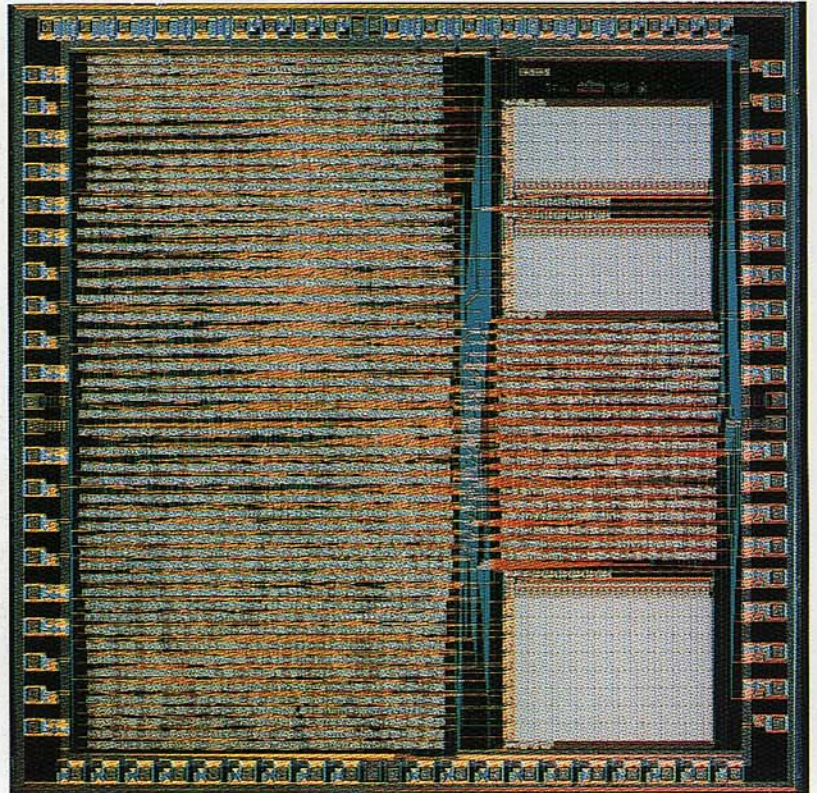


**Sistema de transmisión de línea
Alcatel 1654 SL**

**Figura 9
ASIC para interfaz
síncrono DS-1.**

Dévido a la alta velocidad en los interfaces (155,520 Mbit/s y 622,08 Mbit/s) y a la complejidad funcional, se han necesitado dos familias integradas en el siste-

**Figura 10
ASIC para acceso a
intervalo de tiempo
(TSA).**



ma de transmisión de línea 1654 SL para poder configurar una señal de 140 Mbit/s en una trama MTS-1 y multiplexar cuatro MTS-1 para obtener una señal MTS-4 (Figura 11).

Partición funcional

La primera familia la constituyen las matrices de puertas en ECL, que realizan la conversión serie paralelo y viceversa. Estas matrices operan a gran velocidad (150 MHz a 700 MHz) y son poco complejas (menos de 1000 puertas) por lo que consumen poca potencia (entre 1 y 2 vatios).

La segunda familia la componen matrices CMOS de alta velocidad que operan a 40 MHz y su complejidad es de unas 20000 puertas. Por ello funciones como configurar una señal de 140 Mbit/s a MTS-1 ó multiplexar MTS-4 necesitan solamente un consumo limitado de potencia en las matrices CMOS (entre 1 y 2 vatios).

Metodología de realización en ASIC.

La funcionalidad de cada ASIC en CMOS se parte en varios bloques con una complejidad entre 1000 y 3000 puertas. Cada bloque suministra una función básica descrita en las recomendaciones del CCITT. Por ejemplo, la configuración de 140 Mbit/s en un CV-4 constituye un bloque; otro bloque lo forma la inserción de los octetos de la trama de trayecto (TT). Se realiza una simulación funcional, para cada bloque, teniendo en cuenta los requisitos de las entradas del mismo. También se ejecuta una simulación de fallos intentando alcanzar el 95% de cobertura en cada bloque. Este objetivo no es difícil de alcanzar debido al tamaño relativamente pequeño de cada bloque. La integración de todos estos bloques se realiza en tres o cuatro etapas; en cada etapa se incorporan nuevos bloques y se repite la simulación funcional completa. Al final, se ejecuta una simulación global de fallos. En esta simulación final se accede a cada bloque de forma independiente a

través del bus de pruebas; este procedimiento cubre un alto porcentaje de fallos.

Es útil, además, disponer de algunas facilidades extras en las matrices de puertas que permitan realizar pruebas sobre el propio sistema 1654 SL. Por ejemplo, vale la pena comprobar las paridades realizando cálculos de los PEB-8 y PEB-24, o enviar SIA-TRAYECTO, etc. Todas estas órdenes se envían y controlan mediante un software de interfaz en el propio ASIC.

Sistemas multiplexores/demultiplexores BCPN

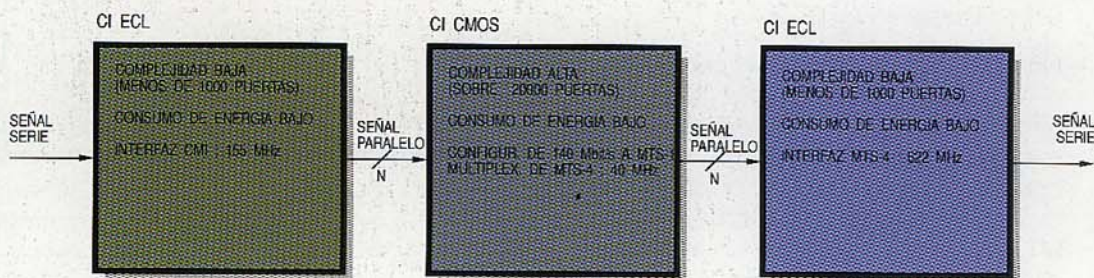
La intención original detrás del concepto de JDS era definir un interfaz óptico para una múltiple variedad de usos. El interfaz podría utilizarse como la configuración básica para transportar RDSI-BA (red digital de servicios integrados de banda ancha).

La disponibilidad de una red de instalación de abonado RDSI-BA (BCPN) será esencial para garantizar el uso masivo de una red integrada de comunicaciones en banda ancha (IBCN - red europea de comunicaciones digitales en banda ancha) por medio de fibra óptica.

Esta BCPN, desarrollada dentro del programa RACE-R1036, es adecuada para suministradores de servicios de banda ancha y en una amplia gama de aplicaciones de industria, comercio, educación y servicios públicos.

La BCPN utiliza una combinación de las técnicas de multiplexación óptica por longitud de onda y eléctrica por división en el tiempo, que proporcionan una capacidad total de flujo de datos por encima de los 38 Gbit/s. La BCPN se basa en 16 centros locales de enrutamiento (LRC), cada uno sirviendo a 16 fuentes y destinos de datos. En cada LRC (Figura 12) se combinan las señales eléctricamente para modular un laser; cada LRC modula una longitud de onda diferente (de 1500 nm hasta 1560 nm con un paso de 4 nm) y todas las señales ópti-

Figura 11
Partición funcional del sistema de transmisión por línea Alcatel 1654 SL en dos familias de circuitos integrados.



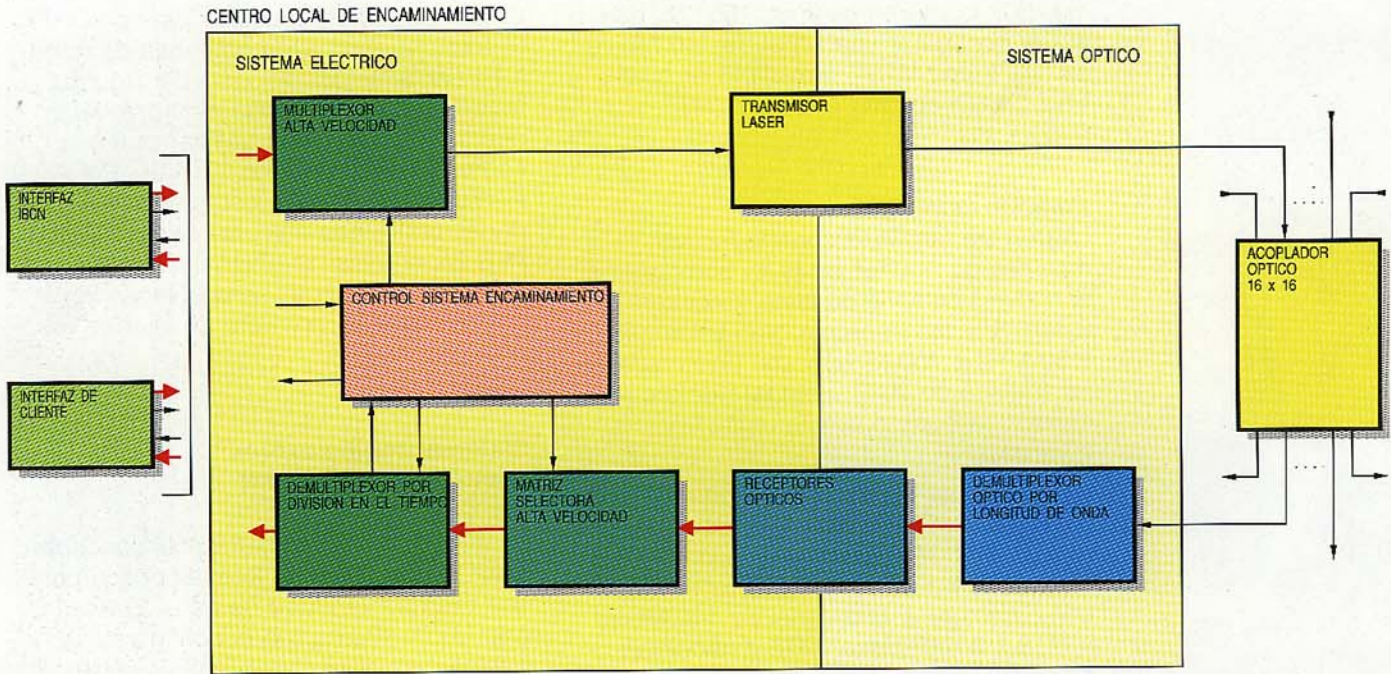


Figura 12
Arquitectura de un centro local de encaminamiento.

cas de los 16 LRC se combinan en un acoplador óptico en estrella. Esta señal multiplexada en longitud de onda (ópticamente) y en el tiempo (eléctricamente) se distribuye a todos los LRC, donde las señales solicitadas por el destino se seleccionan combinando demultiplexación óptica y eléctrica, definida por las recomendaciones G707, G708 y G709 del CCITT.

Arquitectura del sistema MUX/DEMUX

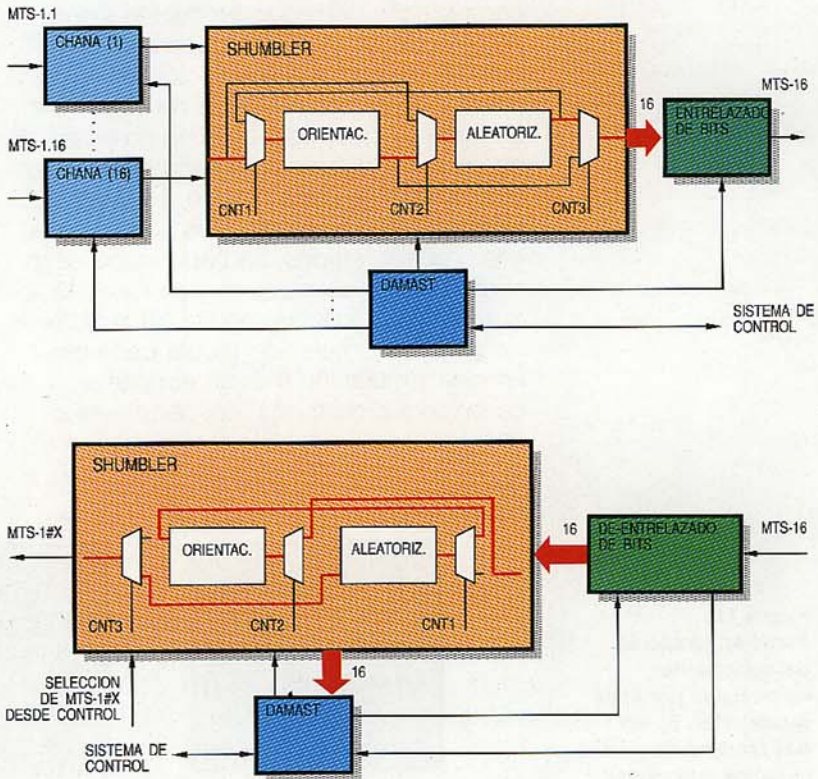
El sistema MUX/DEMUX (Figura 13) es compatible con las recomendaciones anteriores de la siguiente forma.

- El MTS-16 (nivel 16 del módulo de transporte síncrono) se suministra multiplexando octetos de palabras 16 MTS-1 (el bit mas significativo es el primero que se envía y se recibe), con velocidades de 2,48832 Gbit/s y 155,52 Mbit/s para los niveles 16 y 1 respectivamente.
- El aleatorizador utilizado está formado por el polinomio generatriz recomendado $1+x^6+x^7$ en paralelo, que proporciona la secuencia de aleatorización especificada en G707 2.4.
- No hay facilidades de justificación en el sistema MUX/DEMUX. Se utiliza un reloj maestro de 2,48 GHz en el sistema y se envía un reloj de 155 MHz, sincronizado con el anterior, al interfaz de usuario para *extraer* el tren de datos MTS-1. También se envía un pulso de alineamiento de trama (FP) para dispa-

rar la transmisión de la palabra de sincronismo por el interfaz de usuario.

- La utilización de la tara de sección de MTS-1/MTS-16 en este sistema está limitada al reconocimiento de la palabra de sincronismo (A1 y A2) y al uso de los octetos D1 y D2 de cada MTS-1 para un canal de control a 2 Mbit/s.

Figura 13
Subsistema mux y demux de un centro local de encaminamiento.



La función del subsistema MUX consiste en alinear y multiplexar los 16 MTS-1 a 155 Mbit/s para obtener el MTS-16 a 2,48 Gbit/s. Acepta un canal de datos de control a 2 Mbit/s, que se entrelaza en el MTS-16. Consiste en un circuito entrelazador de bits a alta velocidad que opera a 2,48 Gbit/s y realiza una operación de multiplexación de octetos (como indica el CCITT), un reorientador de bits y un aleatorizador (SHUMBLER) y dos circuitos integrados a medida: el adaptador de canal (CHANA) que realiza la alineación de trama en los 16 canales MTS-1 procedentes del interfaz de usuario y el circuito de temporización central e interfaz del canal de control (DAMAST) que se encarga de la información de control y de las señales de control y temporización del subsistema MUX.

El demultiplexor eléctrico realiza las funciones inversas del subsistema MUX. Identifica el código de alineamiento de trama, desaleatoriza y extrae la corriente de bits a nivel MTS-1.

Circuito integrado SHUMBLER

El circuito SHUMBLER (SHUffler/scraMBLER) constituye uno de los circuitos centrales del sistema MUX/DEMUX (Figura 14). Este circuito integrado totalmente a la medida incorpora dos funciones independientes: la reorientación de los bits recibidos en serie (shuffler) y su aleatorización. El circuito está realizado en tecnología BICMOS de 1,2 micras con doble metalización y tiene un consumo dinámico de potencia de unos 3,5 vatios. Cumple totalmente con las recomendaciones G709 (aleatorización) y G707 (multiplexación de octetos) del CCITT.

El bloque shuffler proporciona una reorientación de los bits de entrada de tal modo que se produce una multiplexación de octetos a partir de un sencillo multiplexador de bits (entrelazador) de alta velocidad. La reorientación de los datos realizada por este circuito consiste en la rotación de la matriz de datos de entrada de ocho por ocho alrededor de su diagonal. La matriz consiste en 8 octetos (canales MTS-1 pares o impares). El bloque ha sido diseñado de tal forma que se han incorporado dos bloques funcionales idénticos, uno para reorientar los canales MTS-1 entrantes impares y el otro para los pares.

El bloque aleatorizador se basa en un polinomio generador de séptimo orden con una extensión de la salida serie de 7 bits hasta 16 bits para cumplir con la recomendación del CCITT. Utiliza un

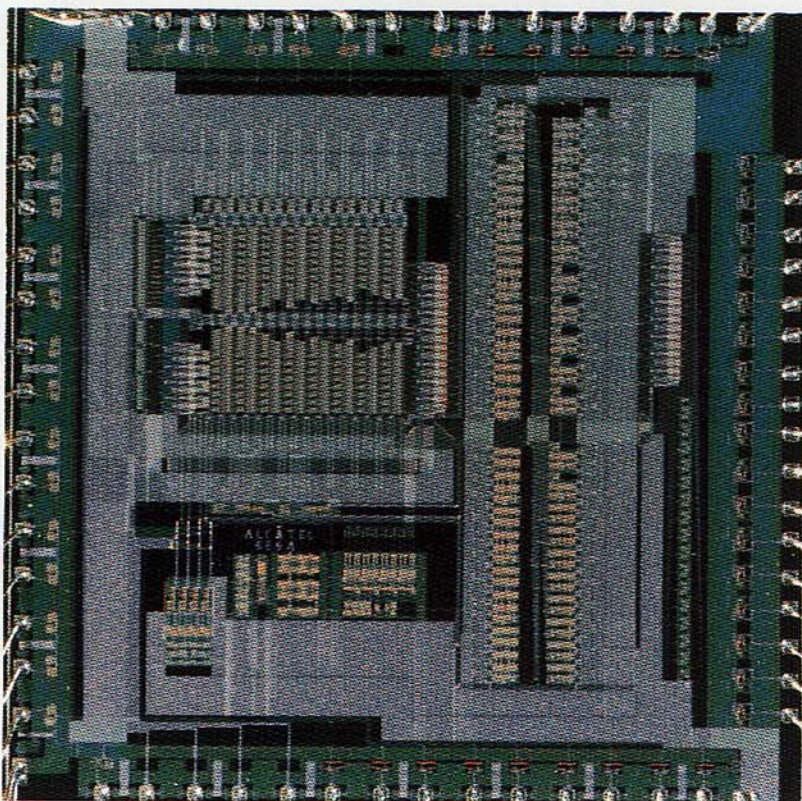


Figura 14
Circuito integrado
SHUMBLER.

aleatorizador paralelo de 16 bits en lugar de uno serie para disminuir la frecuencia de operación de 2,48 GHz (imposible de alcanzar con BICMOS de 1,2 micras) a 155 MHz.

Conclusiones

La introducción de nuevos equipos basados en la jerarquía digital síncrona contribuirá de forma importante a la simplificación y reducción del coste de las redes de comunicaciones, proporcionando métodos económicos de comunicaciones para señales de alta velocidad en banda ancha compatibles entre redes internacionales.

La arquitectura de los productos JDS de Alcatel descansa principalmente en los ASIC con gran integración, lo que permite una adaptación de los productos a diferentes configuraciones de usuarios de forma fácil y eficiente. Las placas de interfaz se pueden intercambiar para permitir diferentes velocidades digitales, tipos de sincronización, puertos eléctricos u ópticos de alta velocidad y capacidad de crecimiento. Esto es posible debido al alto nivel de integración que permite incorporar la funcionalidad necesaria en pequeñas placas de circuito impreso.

Françoise Van Simaeys nació en Bruselas, en 1958. En 1981 se graduó en ingeniería eléctrica y electrónica en la universidad católica de Lovaina. El mismo año se incorporó al departamento de microelectrónica de Alcatel Bell Telephone en Amberes, donde fue responsable del diseño de circuitos integrados para aplicaciones de telecomunicaciones. La Sra Van Simaeys es actualmente responsable del centro de diseño VLSI de Alcatel Bell Telephone.

Fausto Geromel se graduó en la Ecole Polytechnique continuando sus estudios en la Ecole Supérieure des Télécommunications de Paris, donde se especializó en circuitos integrados y optoelectrónica. En 1985 comenzó su carrera en Alcatel CIT trabajando en desarrollo software. En los dos últimos años el Sr Geromel ha coordinado el desarrollo técnico del sistema transconector 1644SX.

Jean-Claude Billy se diplomó en la Ecole Nationale d'Ingénieurs de Brest. Tras tres años en el CNET de París se incorporó en 1978 a Alcatel CIT, Lannion, donde participó en investigación y desarrollo en áreas de transmisión y multiplexación. Reingresó en 1986 en Alcatel CIT para hacerse cargo del desarrollo de multiplexores de línea para sistemas de transmisión por fibra óptica. Desde 1988, el Sr Billy ha sido jefe de laboratorio de equipos de línea en Alcatel CIT, Lannion.

Rainer Sigloch nació en 1943 en Stuttgart. Estudió ingeniería eléctrica en Esslingen y se incorporó a Alcatel SEL en 1968. Desde 1968 hasta 1979 participó en el desarrollo de sistemas de control de telemetría. En 1979 pasó al departamento de fuentes de alimentación, donde fue responsable de todos los sistemas de fuentes de alimentación de Alcatel SEL. Desde 1989 es responsable del departamento de transconectores y multiplexores de Alcatel SEL.

Rodney Briscoe nació en 1953 en Carolina del Norte, EE.UU. Estudió en la universidad estatal de Carolina del Norte, Raleigh, obteniendo su graduación en 1977. Ingresó en 1976 en ITT Telecom (mas tarde Alcatel Network Systems). Ha trabajado en proyectos de ASIC desde 1983 en ANS, tanto en tecnología de integración VLSI como en herramientas CAE.

José Merino nació en 1962. Se graduó en 1983 en el Hoger Rijks Institut Technisch Onderwijs (HORITO) de Amberes, Bélgica. Se incorporó a continuación al departamento de microelectrónica de Alcatel Bell en Amberes donde trabajó en el diseño de circuitos VLSI para aplicaciones de telecomunicación. En 1989 pasó a Alcatel Standard Eléctrica, Madrid, donde supervisó un grupo de diseño de circuitos VLSI a la medida. Actualmente es responsable del desarrollo de circuitos integrados de telecomunicación en el departamento de microelectrónica de Alcatel Standard Eléctrica.

Rafael Burriel nació en 1945 en Valencia. En 1969 se graduó en la Escuela Técnica Superior de Telecomunicación de Madrid (ETSITM). Posteriormente se incorporó al centro de investigación de Standard Eléctrica en el departamento de conmutación. Entre 1971 y 1978 trabajó en STL (Harlow, Reino Unido), realizando durante tres años diseños de circuitos integrados VLSI a la medida en proyectos de colaboración con Alcatel Standard Eléctrica. En 1979 creó el centro de diseño VLSI de Standard Eléctrica y actualmente es responsable de la ingeniería de diseño VLSI y del diseño de circuitos VLSI a la medida en el centro de investigación y desarrollo de Alcatel Standard Eléctrica. Es miembro del steering committee de Eurochip (ESPRIT) y del subcomité de formación del mismo.

Realización VLSI de códigos de corrección de error

Las actuales técnicas de códigos de corrección de errores ofrecen un método económico para mejorar la sensibilidad del receptor, la capacidad del canal y la fiabilidad de conexión en transmisión de datos. Se han desarrollado dos algoritmos de codificación y decodificación complejos como ASIC: un codec Viterbi y un codec Reed-Solomon, que operan a 34 Mbit/s.

Ph. Sadot

Alcatel Telspace, Nanterre, Francia

Introducción

Desde que Shannon demostró que era posible alcanzar el límite superior teórico de la capacidad del canal, se han estudiado las técnicas de codificación de corrección de errores. Desafortunadamente, el teorema de Shannon sólo demuestra esta posibilidad, pero no dice cómo se pueden construir códigos apropiados para alcanzarlo. Desde entonces se han desarrollado numerosos códigos y la codificación para corrección de errores es usada normalmente tanto en transmisión digital como en aplicaciones digitales, tales como almacenamiento de datos (p. ej., grabación digital magnética y en compact disc).

El uso de la codificación en los enlaces de microondas es relativamente reciente y se ha dirigido sobre todo a las comunicaciones por satélite, en donde la capacidad del canal es un recurso muy apreciado. Los esquemas de codificación se han normalizado en las redes Intelsat y Eutelsat para enlaces de alta velocidad de datos y comunicación de empresas de velocidades media y baja. Otras aplicaciones se encuentran en los enlaces militares de microondas terrestres y por satélite, por ser la codificación una técnica eficaz de contra-contra medida electrónica (anti-interferencias provocadas). Finalmente, la codificación se utiliza en los enlaces terrestres civiles de microondas de altas velocidades de datos, para reducir la BER (tasa de error en los bits) residual causada por interferencias industriales o imperfecciones en los terminales de microondas.

Se han desarrollado en Alcatel Telspace dos codificadores-decodificadores, que cumplen con los estándares

Intelsat/Eutelsat y se pueden utilizar en algunas aplicaciones militares de microondas.

Definiciones principales en teoría de codificación

El principio general de todas las técnicas de corrección de errores es introducir redundancia en el tren de datos insertando símbolos adicionales, llamados símbolos de paridad, que se calculan a partir de los de datos. En el terminal receptor, los símbolos de paridad permiten la detección de los errores de transmisión y que algunos se puedan corregir. La tasa de codificación se define como la relación entre la velocidad de los datos y la velocidad de los datos en línea. A pesar de la pérdida de energía por bit, resultado del incremento de la velocidad de los datos, la corrección de errores posibilita el alcanzar cierta calidad de transmisión con una potencia de transmisión reducida. La ganancia de red, a menudo medida con un BER de 10^{-5} , puede llegar a 7 dB, dependiendo del código.

Hay dos clases de códigos: los *códigos de bloque* y los *códigos convolucionales*:

Códigos de bloque

El tren de datos se divide en bloques iguales de K caracteres, que se transforman en una palabra código de N caracteres al añadir $N - K$ caracteres de paridad, con lo que la tasa de codificación es igual a K/N . Los códigos de bloque, que no-binarios, en los que cada símbolo consta de varios bits, son los más interesantes. Se ha demostrado que existe y se ha construido una familia óptima de

códigos que alcanzan el límite teórico superior de la capacidad de corrección de error; se conocen como códigos Reed-Solomon y son capaces de corregir pequeñas ráfagas de errores, que son aproximadamente de la misma longitud que el número de bits por símbolo. Los códigos de bloques binarios tienen un menor interés para las aplicaciones de codificación de canal desde que aparecieron los códigos convolucionales y, especialmente, desde que A. J. Viterbi encontró un algoritmo de decodificación óptimo.

Códigos convolucionales

Un codificador convolucional es un codificador binario continuo que consta de un registro de desplazamiento y de una lógica de realimentación positiva que realiza las convoluciones del flujo de datos con polinomios N . La tasa de código es igual a $1/N$ ó $(N-1)/N$. La longitud del registro de desplazamiento, llamada longitud obligada de código, determina la capacidad de corrección. Desafortunadamente, la complejidad del decodificador óptimo (algoritmo de Viterbi) se incrementa exponencialmente con la longitud obligada de código. Aún así, normalmente, los códigos convolucionales cortos son mejores que los códigos binarios de bloques para la misma tasa de código, lo que se debe esencialmente a que se pueden decodificar fácilmente utilizando decisiones blandas.

Decodificación dura y blanda

A la salida del demodulador, se pueden tomar decisiones binarias (duras) o cuantificar la señal demodulada en varios niveles (decisiones blandas). En contraste con los algoritmos de decodificación de bloques, la decodificación de Viterbi puede utilizar fácilmente la fiabilidad estimada para cada bit dado por decisiones blandas. Comparando con la decodificación dura, la decodificación blanda proporciona una ganancia de codificación de 2 dB, con independencia del código y BER requerido.

Error y errores periódicos

En muchos casos, los errores son el resultado de ruido blanco Gaussiano y su localización en el flujo de datos es desconocida. Sin embargo, en algunos casos, como en la interferencia provocada de pulsos, se puede detectar el impulso de ruido por medios externos y proporcionar al decodificador información sobre la fiabilidad de cada señal recibida (información de la fuente de interferencias

provocadas o del canal). Así, los símbolos transmitidos durante los pulsos del fuente de interferencias se pueden presentar al decodificador como *errores periódicos*. Esto simplifica enormemente la tarea del decodificador y la capacidad de corrección de errores de los códigos en la reconstrucción de errores periódicos es dos veces mayor que en la corrección de errores.

Realizaciones VLSI

Se han realizado codificadores/decodificadores VLSI para los siguientes códigos:

- *Códigos convolucionales de longitud obligada 7 y tasas de codificación 1/2, 3/4, 1/4, 1/8, decodificados por el algoritmo de decodificación blanda de Viterbi*: Intelsat y Eutelsat han normalizado las tasas de código 1/2 y 3/4. Alcatel Telspace ha desarrollado códigos de baja tasa (1/4 y 1/8) para atender a las necesidades de algunas aplicaciones militares.
- *Códigos Reed-Solomon ($N = 255 - l$ símbolos, $K = 223 - l$ símbolos)*: operan en el campo Galois de 2^8 elementos, donde l toma valores enteros entre 0 y 222. En este campo, los símbolos tienen una anchura de ocho bits.

Estos códigos se utilizan en algunas aplicaciones militares para corregir errores y ráfagas de errores periódicos causados por fuentes de interferencias, o junto a uno de los códigos convolucionales anteriores. El esquema *concatenado* RS(255,223) + Viterbi ($\tau=1/2$, longitud obligada 7) es uno de los más potentes esquemas de codificación, y lo ha normalizado el Consultative Committee for Space Data Systems (CCSDS *Blue Book*, Mayo 1987) para su uso en enlaces por satélite de alta fiabilidad en aplicaciones de telemetría y telecontrol. Su ganancia de codificación es 7 dB con BER de 10^{-5} .

Se han realizado algunos ASIC (circuitos integrados de aplicación específica) Viterbi en varios países para velocidades de datos equivalentes. Al ser un componente estratégico en aplicaciones Intelsat, Alcatel decidió diseñar un ASIC Viterbi exclusivo.

El ASIC Reed-Solomon se diseñó para atender las necesidades de los sistemas electrónicos de contra-contra medidas siguiendo los estudios de Alcatel Telspace, que probaron que los esquemas Reed-Solomon concatenados asociados con entrelazamiento pueden ser muy eficaces contra las fuentes de interferen-

cias de pulsos provocados. Por ejemplo, se pueden garantizar BER de 10^{-6} en presencia de una fuente de interferencia provocada que borre el 30% de la señal. Se han diseñado algunos ASIC Reed-Solomon en el mundo, pero ninguno de ellos ha ofrecido tal gama de tasas de código (223 códigos diferentes) a una velocidad de proceso de 30 Mbit/s.

Decodificar en estos dos tipos de circuito es una operación compleja. Por otra parte, para alcanzar una velocidad de datos de 30 Mbit/s, las realizaciones tienen que ser completamente conectadas en paralelo. Es casi imposible lograr las velocidades de datos requeridas usando componentes discretos, por lo que se escogió la tecnología del ASIC por su coste y prestaciones en este tipo de aplicaciones.

ASIC codificador-decodificador Viterbi

Este ASIC consta de un codificador y de un decodificador. Sus principales características son:

- codificación y decodificación independientes (capacidad totalmente dúplex)
- longitud obligada 7; polinomios generadores 133 y 171 en anotación octal
- tasa de codificación variable por punzado (punzado es la supresión de algunos bits de paridad para incrementar la tasa de código) para la tasa 3/4 y por reutilización de los mismos polinomios para las tasas 1/4 y 1/8
- decisión blanda con cuantificación de 3 bits
- corrección de error y de errores periódicos
- longitud programable de truncamiento hasta 64 ramas de la malla
- modo continuo o de ráfagas
- codificación y decodificación binaria diferencial incluidas
- entradas serie o paralelo
- dispositivo integrado de sincronización rápida para tasas 1/2 y 3/4
- velocidad máxima de datos de 34 Mbit/s (25°C, 5 V), reduciéndose a 17 Mbit/s en las peores condiciones industriales (85°C, 4,75 V)
- tecnología CMOS 1,5 μm de alta velocidad.

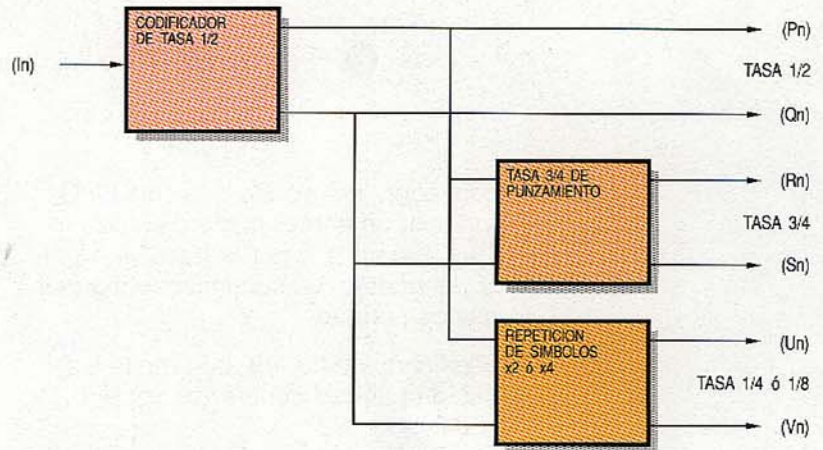
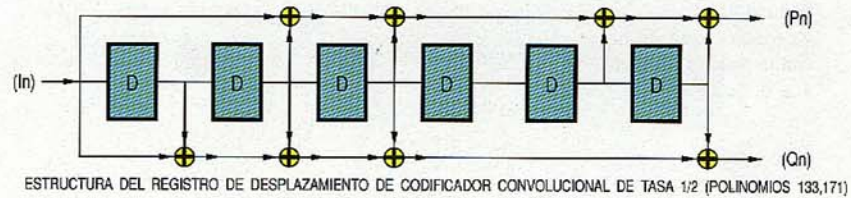


Figura 1
Estructura del codificador.

La ganancia de codificación del código 1/2 con BER de 10^{-5} usando decisión blanda de 3 bits es de 5 dB.

Codificador

El codificador consta de tres partes:

- registro codificador de seis etapas con salidas de acuerdo a los polinomios generadores (Figura 1)

Foto del ASIC
codificador-decodificador Viterbi.

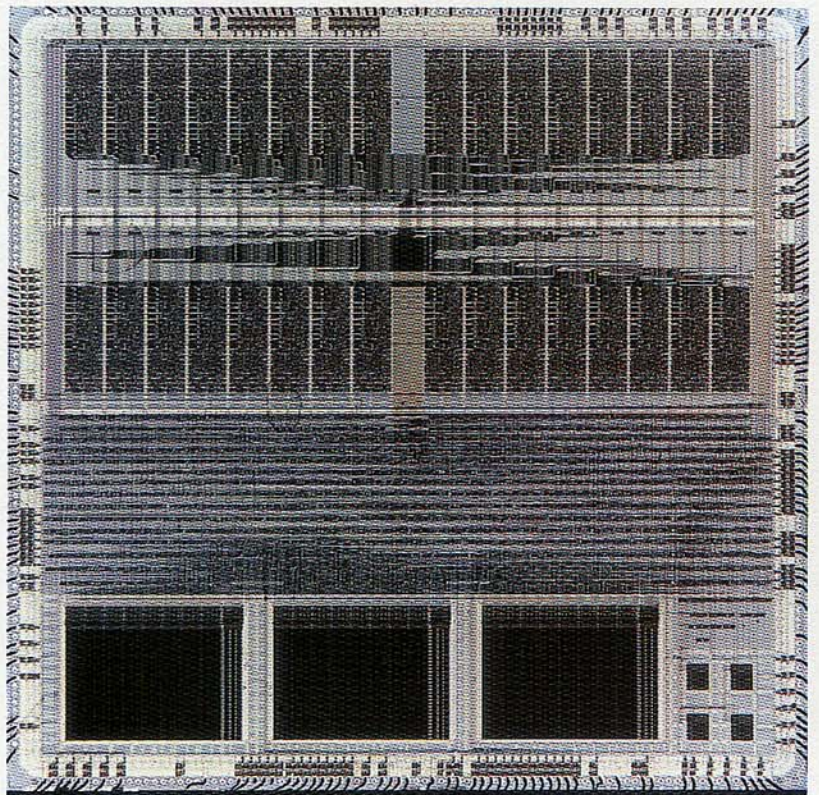
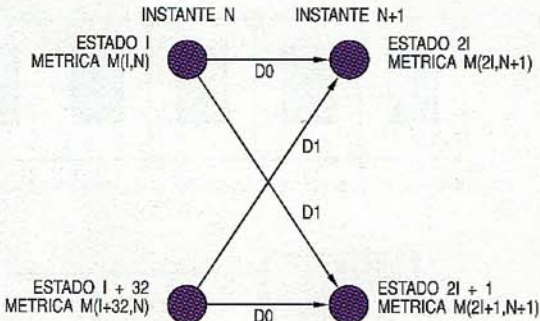


Figura 2
Número / idea de la
malla (trellis), donde
 $i = 0, 1, \dots, 31$.



- punzador, incluyendo una cola FIFO (primero en entrar, primero en salir) 16×4 , para generar la tasa $3/4$ a partir del código $1/2$ suprimiendo algunos bits de paridad
- codificador $1/4$ ó $1/8$, que repite los bits de paridad generados por el codificador $1/2$

El codificador completo tiene aproximadamente 3000 puertas. El contenido del registro de desplazamiento de seis etapas se denomina normalmente estado del codificador, que puede ser también visto como una máquina de estados finitos¹. Esta representación lleva a un diagrama de transición de estados, llamado *trellis*, del cual en la Figura 2 se muestra la forma general. El principio del algoritmo de Viterbi se basa en esta estructura de malla (trellis).

Decodificador

El decodificador realiza tres funciones básicas. Primero actúa como despunzador (sólo en modo de tasa $3/4$). Restaura la estructura original de la palabra código de tasa $1/2$ insertando bits en las posiciones donde estos han sido borrados; incluye dos FIFO 16×4 .

Segundo, actúa como procesador de la métrica de un camino extendiendo todos los caminos de una rama en cada palabra código entrante. Comprende dos subfunciones:

- procesador métrico de rama que determina las distancias entre los símbolos entrantes y los posibles patrones; la distancia usada es simplemente el valor absoluto de la diferencia entre el símbolo recibido y los posibles símbolos
- procesador métrico de camino que determina, para cada camino, la ampliación más probable de las dos posibles; llamando $M_{i,n}$ a la longitud del camino i en el tiempo n , cada operación de ampliación implica comparar

las métricas de los dos posibles caminos que alcanzan cada nodo en el tiempo $n + 1$, como se muestra en la Figura 2:

$$M_{2i,n+1} = \min \{M_{i,n} + d_0, M_{i+32,n} + d_1\}$$

y

$$M_{2i+1,n+1} = \min \{M_{i,n} + d_1, M_{i+32,n} + d_0\}$$

donde

$$(d_0, d_1) \in \{(d_{i,j}, d_{i+1-j}), i, j \in \{0, 1\}\}$$

representa las métricas de las ramas calculadas previamente. Como se ve dos estados consecutivos $(2i, 2i + 1)$ de la malla tienen los mismos predecesores i e $i + 32$. Esto lleva a la definición de un módulo básico, llamado ACS (adición-comparación-selección) para implantar el procesado básico. El procesador métrico del camino tiene una estructura sistólica formada por 32 módulos ACS idénticos, interconectados según la malla y trabajando en paralelo.

Como se ha demostrado que las dinámicas de las métricas de caminos tienen un límite superior de 168 para estos códigos, una cuantificación de 8 bits es suficiente; cuando todas las métricas de los caminos son mayores de 32, se añade 224 para que las métricas estén en el rango de 0 a 255.

Para obtener tiempos de propagación homogéneos, se ha diseñado el módulo ACS como una *hard-megacell* (igual representación de cada una de las 32 apariciones en el procesador de métricas). El módulo básico ACS tiene alrededor de 700 puertas. Por lo mismo, se han diseñado las interconexiones entre los 32 módulos para producir el mismo retardo de propagación entre cualquier par de módulos relacionados. Como esta parte del esquema constituye un cuello de botella, se ha tenido un cuidado especial en su optimización. Aunque, debido al gran número de interconexiones (64 buses octales y 10 buses de 5 bits), consta aproximadamente de 25000 puertas, ocupa la mitad del dado ($7\text{mm} \times 14\text{mm}$).

La tercera función básica del decodificador es ser dispositivo de almacenamiento y exploración de camino: los 64 resultados de las comparaciones hechas en el módulo ACS se almacenan, en cada ciclo de reloj, en la RAM. Los bits almacenados corresponden a las últimas ramas de las estimaciones de secuencias de datos más probables, llamados *caminos supervivientes*. Se ha demostrado que cuando se trazan los caminos supervivientes hacia atrás, convergen rápidamente hacia un camino único.

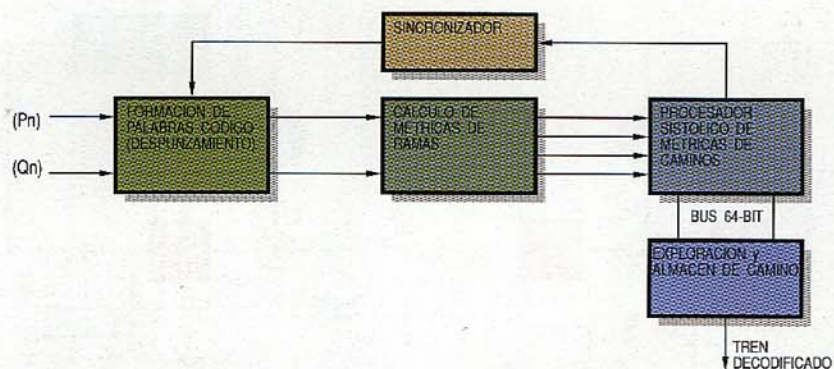


Figura 3
Estructura del
decodificador Viterbi.

co, el cual representa la estimación más probable del mensaje. La longitud L de la parte divergente de los caminos, llamada *longitud de truncamiento*, es programable: puede ser 32 para los códigos de tasas 1/2, 1/4 y 1/8, y 64 para 3/4.

Para alcanzar la alta velocidad requerida se utilizó una RAM rápida de triple puerto (cada uno de 64 bits de ancho), que es capaz de ejecutar simultáneamente los accesos de una escritura y de dos lecturas necesarios en el almacenamiento del camino y en el algoritmo de exploración. La RAM de triple puerto se divide en tres bloques, cada uno de 64 palabras de 64 bits; esta parte del dispositivo tiene alrededor de 35000 puertas equivalentes y ocupa un cuarto del dado aproximadamente.

La función final es un dispositivo rápido de sincronización que pueda resolver

todas las ambigüedades de sincronización y fase.

Resultados de las pruebas

Las megafunciones, como las FIFO y la RAM, se proveen de patrones de pruebas específicos. Es suficiente para proporcionar terminales de entrada y salida que permitan el acceso directo a estas partes.

Se han utilizado las técnicas de exploración para solucionar el difícil problema de verificar los 32 módulos ACS. Las entradas $M_{i,n}$ y $M_{i+32,n}$ de cada ACS son palabras de 8 bits que se almacenan en dos registros octales paralelos. En lugar de registros convencionales, se han utilizado biestables con exploración, los cuales incluyen en el puerto de datos un multiplexor de 2 a 1 controlado por una *señal de habilitación de prueba*; de esta forma se establece una cadena en serie entre todos los biestables por medio de la segunda entrada (prueba) de los multiplexores. Se puede entonces cargar en serie una secuencia de valores iniciales para las métricas $M_{k,n}$ y obtener el resultado de la computación de los 32 ACS sobre la misma cadena. Con esta técnica se ha podido alcanzar una relación del 100% de fiabilidad en todo el procesador métrico en menos de 1000 ciclos de reloj.

Tamaño de dado, representación y encapsulado

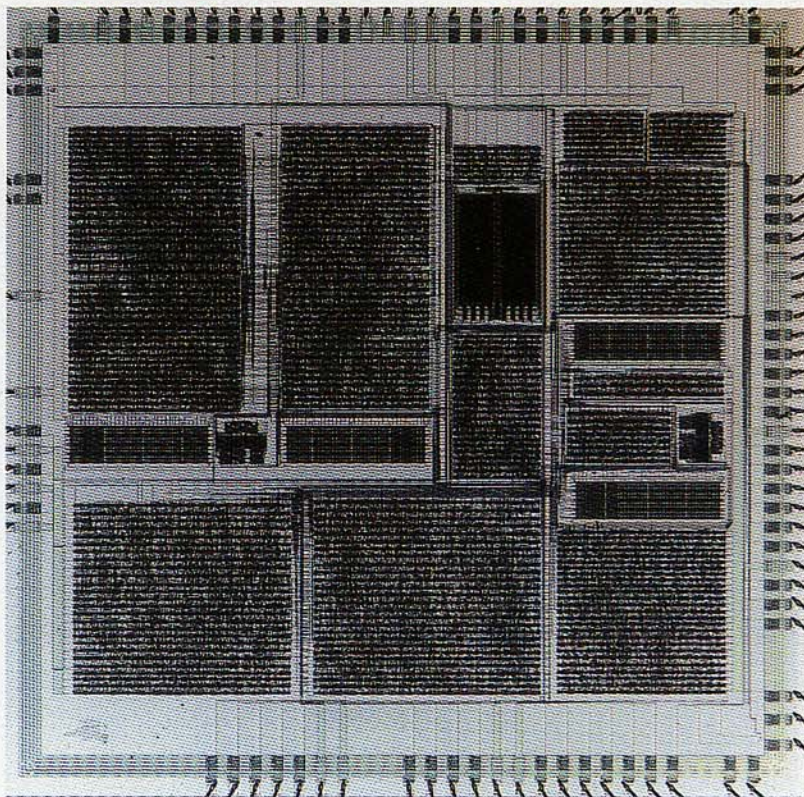
El circuito, de 14,3 mm × 14,8 mm, tiene alrededor de 75000 puertas equivalentes, incluyendo las tres memorias RAM de triple puerto. El procesador métrico, que ocupa casi la mitad del dado, consta de 32 módulos idénticos y de sus interconexiones. Los módulos de RAM ocupan otro cuarto del dado y el cuarto restante lo ocupan los operadores lógicos de bajo nivel que interconectan los bloques principales (*glue logic*), que realizan funciones de dispositivos de codificación, punzador, despunzador (incluyendo FIFO), procesador métrico de rama y sincronizador (Figura 3).

El encapsulado utilizado es CPGA (*ceramic pin grid array*) de 223 conectores, de los cuales sólo se usan 179. En el caso peor, la potencia consumida es de 1,5 W.

ASIC codificador-decodificador Reed-Solomon

La familia de códigos de Reed-Solomon de longitud 255 en el campo de Galois (finito) de 256 elementos $[GF(2^8)]$ es un

Foto del codificador-decodificador Reed-Solomon en un encapsulado CPGA de 120 terminales.



compromiso entre complejidad y funcionamiento. Estos códigos de corrección de ráfagas de errores son también de gran interés en el campo de anti-interferencias provocadas para los enlaces de microondas^{2,3}.

Especificaciones

El campo de Galois es generado por el polinomio primitivo:

$$p(x) = x^8 + x^4 + x^3 + x^2 + 1$$

La raíz primitiva α es

$$\alpha^8 + \alpha^4 + \alpha^3 + \alpha^2 + 1 = 0$$

Los códigos realizados son de la forma $(N, N - 32)$, siendo N un entero comprendido entre 33 y 255. El número de símbolos de paridad insertados por cualquiera de estos códigos es constante e igual a 32. Por ello, todos los códigos de esta familia tienen el mismo polinomio generador:

$$g(x) = \prod_{i=1}^{32} (x - \alpha^i) = \sum_{j=0}^{32} g_j x^j$$

Todos estos códigos son capaces de corregir cualquier patrón con v errores y p omisiones por palabra de código, siempre que $2v + p \leq 32$.

Codificador

La operación realizada por el codificador es la siguiente: considerando un bloque de K símbolos $l_0, \dots, l_{K-1}$ ($1 \leq K \leq 223$), representados por el polinomio:

$$l(x) = \sum_{i=0}^{K-1} l_i x^i$$

el codificador calcula $R(x)$, resto de la división euclídea de $x^{32} l(x)$ por $g(x)$ y forma el polinomio de palabras de código $C(x)$ usando:

$$C(x) = x^{32} l(x) + R(x)$$

Esta operación la realiza fácilmente un registro de desplazamiento paralelo de 8 bits con salidas conectadas como se muestra en la Figura 4.

Debido a la amplia gama de tasas de codificación que ofrece el circuito, las FIFO necesarias para los datos de entrada y salida no se han incluido en el circuito; sin embargo, si se proporcionan las señales necesarias para controlar las FIFO externas.

Para optimizar la velocidad y el área de silicio ocupada por el codificador, éste se ha diseñado con una *estructura de caminos de datos*, que utiliza entre el 20 y

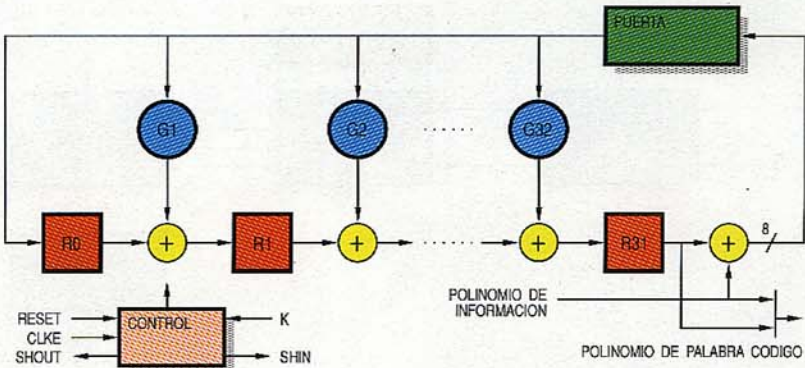


Figura 4 Estructura del codificador Reed-Solomon.

30% del área requerida por la lógica de control convencional.

Decodificador

Al igual que en el codificador, las FIFO de entrada y salida no se incluyen en el circuito, aunque también se proporciona las señales de control de las FIFO externas. En la Figura 5 se muestra la arquitectura del decodificador.

El primer paso de la decodificación es el *cálculo del síndrome* para detectar posibles errores: los 32 primeros síndromes se calculan con la ecuación:

$$S_i = C'(\alpha^i) = \sum_{j=0}^{N-1} C_j \alpha^{i \cdot j} \quad 1 \leq i \leq 32$$

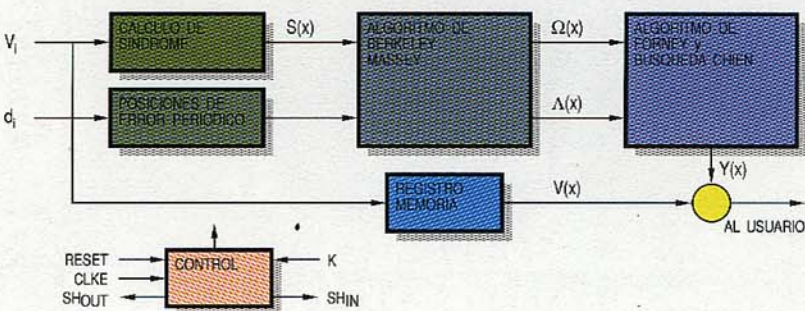
siendo $C'(x)$ la palabra recibida, presuntamente con errores. $[C'(x) = C(x) + E(x)]$, donde $E(x)$ es el polinomio error. Los S_i forman un polinomio síndrome:

$$S(x) = \sum_{i=1}^{32} S_i x^i$$

$S(x)$ es cero cuando la palabra recibida no tiene errores.

Se calculan los S_i simultáneamente en los 32 procesadores de síndrome paralelos, utilizando la ley de Horner para evaluar el polinomio $C(x)$. Esta parte ocupa alrededor de 5000 puertas. Se pueden realizar hasta 32 identificaciones de errores periódicos por el decodificador en

Figura 5 Estructura del decodificador Reed-Solomon.



paralelo con los cálculos de síndrome; esto abarca unas 3000 puertas.

El siguiente paso es el cálculo de los *polinomios localizador y evaluador de error y de error periódico*. El localizador tiene la forma:

$$\Lambda(x) = \prod_{k=0}^{32} (1 - \alpha^{i_k} x)$$

Donde los $-i_k \bmod 255$ son las posiciones de los símbolos erróneos o con errores periódicos en la palabra código. El evaluador $\Omega(x)$ verifica la ecuación lineal:

$$\Omega(x) = S(x) \Lambda(x) \bmod x^{32}$$

Los polinomios localizador y evaluador de error $\Lambda(x)$ y $\Omega(x)$ se calculan iterativamente utilizando el algoritmo de Berlekamp-Massey⁴. También se proporciona la derivada $\Lambda'(x)$ de $\Lambda(x)$.

La realización física de este algoritmo precisa de un registro octal de desplazamiento de 32 estados, otro de 16 estados, 48 multiplicadores de elementos del campo finito y una ROM de 256 bytes. Se usan alrededor de 18000 puertas equivalentes; también se ha realizado con estructura de caminos de datos, que da una capacidad mayor que una aleatoria y mejora la velocidad del circuito.

Las raíces α^{-i_k} de $\Lambda(x)$ se calculan por medio del algoritmo de Chien y, por último, las evaluaciones de error se determinan utilizando la fórmula (ver algoritmo de Forney³):

$$e_{i_k} = \frac{\Omega(\alpha^{-i_k})}{\Lambda'(\alpha^{-i_k})}$$

Entonces, la corrección de $C'(x)$ se obtiene simplemente sustrayendo:

$$E(x) = \sum_{i=0}^{n-1} e_i x^i$$

$$\text{es decir } C(x) = C'(x) - E(x)$$

Estas últimas operaciones se realizan en el mismo bloque, que tiene alrededor de 24000 puertas, incluyendo una PROM de 256 bytes.

Estructura y encapsulado

El tamaño del dado necesario para realizar este complejo algoritmo es de 11 mm x 11 mm en tecnología HCMOS

de 1 μm , representado 55000 puertas equivalentes. Se ha alcanzado el objetivo de una velocidad de procesamiento de 34 Mbit/s con un consumo de potencia total de 1,5 W en las peores condiciones. El encapsulado utilizado es CPGA de 120 terminales.

Conclusiones

La tecnología ASIC ha hecho posible el desarrollo de codificadores-decodificadores de alta velocidad económicos para dos familias de códigos. Las realizaciones convencionales con componentes discretos requerían varias placas, limitaban al 20% la velocidad de procesamiento y el consumo era alrededor de 50 a 100 veces mayor. Por otra parte, la ganancia de codificación no era suficiente para compensar el alto coste.

Ahora, los decrecientes costes de desarrollo no recurrentes de tecnología ASIC nos llevan a utilizarla con más frecuencia para realizar algoritmos digitales, incluso cuando se requiere una producción de volumen por dispositivo relativamente limitada.

Referencias

- 1 A. J. Viterbi y J. K. Omura, Principles of Digital Communications and Coding, McGraw Hill (ed), 1979.
- 2 Ph. Sadot y J. L. Politano, Error Correcting Coding against Partial Time Jammers: *Lecture Notes in Computer Science* n° 388, Coding Theory and Applications, Springer-Verlag (ed), 1988.
- 3 Ph. Sadot, M. Darmon y S. Harari, Error Correcting Coding and Pseudo-Random Interleaving Scheme against Intelligent Partial Time Jammers, *Proceedings of IEEE International Symposium on Information Theory*, ISIT 90, San Diego, California, página 3.
- 4 G. C. Clark Jr y J. B. Cain: Error correcting Coding for Digital Communications, Plenum Press Editors, 2ª edición, 1982.

Philippe Sadot nació en Reims, Francia, en 1961; después de graduarse en la Ecole Supérieure d'Electricité, Paris, en 1983, se incorporó al Digital Signal Processing Laboratory del Departamento de Transmisión Militar de Alcatel Telspace (enlaces de microondas). Ha trabajado en diferentes proyectos en los campos de filtros autoadaptativos, codificación de corrección de errores y en sistemas de espectro amplio. Ahora el Sr Sadot está al cargo de estudios avanzados en proceso de la señal y extiende su actividad a proyectos civiles como la transmisión de radio móvil por satélite y por tierra.

Metodología de diseño de ASIC independiente de la tecnología

La aparición de herramientas comerciales para el diseño automático de circuitos integrados a la medida tales como compiladores de silicio y herramientas de síntesis, permiten avanzar en la obtención de una técnica de diseño de arriba-abajo independiente de la tecnología. Esta metodología desplaza las actividades de diseño del nivel de puerta al nivel de sistema. La realización a nivel de puerta física, donde se requiere información del proceso de silicio, se pospone en el ciclo de diseño. Esto permite que se pueda modificar el diseño de una forma flexible, si surgen sobre la marcha nuevos requisitos, o si se tienen que realizar diseños con especificaciones "no congeladas".

J. Adams

J. Van Dun

P. Guébels

Alcatel Bell Telephone, Amberes, Bélgica

M. Rahier

Centro de Coordinación de Alcatel,
Zaventem, Bélgica

Introducción

Para satisfacer la creciente necesidad de una mayor complejidad en los circuitos integrados, que son la base de los productos actuales y futuros de Alcatel como la RDSI-BA, SONET o redes de radio celular, es imprescindible una metodología de diseño de ASIC de arriba-abajo.

Esta estrategia exige que las actividades de diseño se desplacen de los niveles de circuito y puerta al de sistema. Diseñar a nivel de sistema tiene la ventaja de poder evaluar diseños alternativos en una fase inicial.

La política de Alcatel para la realización de circuitos VLSI se basa en la adquisición de herramientas comerciales adecuadas y en acuerdos industriales estratégicos, y las actividades de investigación se concentran en el diseño a alto nivel, el particionamiento del sistema, el diseño de arquitecturas y las herramientas de síntesis.

Las herramientas comerciales actuales para diseño automático, que están surgiendo en el mercado de la automatización del diseño electrónico, permiten la realización de una metodología de diseño de arriba-abajo independiente de la tecnología.

Las herramientas clave para la incorporación de tal metodología se basan en

lenguajes de descripción de hardware (HDL), como el VHDL¹, Verilog HDL y en herramientas de síntesis lógica. En una primera fase se redacta una descripción de comportamiento, a un nivel posible de sintetizar, y se verifica con un simulador HDL. Después se procesa dicha descripción con una herramienta de síntesis, lo que permite sintetizarla a nivel de puertas desde el nivel de transferencia a registro. Optimizando este nivel de puertas, en área y velocidad, se puede conseguir una realización muy favorable.

Se realiza una síntesis parcial al transferir el esquema (a nivel de puerta) a una biblioteca dada, que puede obtenerse de diferentes suministradores.

En este artículo se presenta, de una forma global, la metodología de diseño de arriba-abajo de circuitos VLSI. Se diferencia de forma clara el diseño a alto nivel, la generación automática de las diversas alternativas basadas en los bloques definidos en la fase de diseño a alto nivel, y el proceso de ubicar físicamente dichos elementos. Aunque sea una metodología de diseño independiente de la tecnología, el circuito final ha de integrarse en silicio. Se comparan brevemente las dos técnicas mas importantes: el "mar de puertas" y la realizada con células de biblioteca; también se contemplan algunas ofertas de suministradores y se desta-

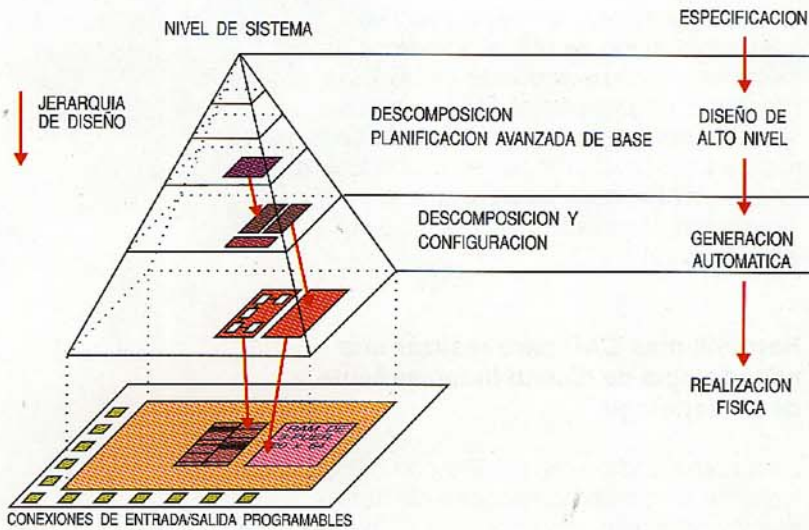


Figura 1
Metodología de
diseño de ASIC de
arriba-abajo.

can las futuras tendencias, especialmente en el campo de la síntesis.

Metodología de diseño de arriba-abajo para ASIC

El diseñador de sistemas parte de una especificación, escrita en inglés corriente, y la traduce a una arquitectura; esta queda reflejada en un diagrama de bloques a alto nivel, con jerarquías, sobre el que se adaptan y configuran todos los bloques previamente definidos a alto nivel.

Mediante la utilización de herramientas automáticas se expande cada uno de estos bloques o a un nivel de puerta (mediante síntesis lógica) o mediante una representación abstracta estimada para bloques modulares (utilizando un generador de módulos). Ambas alternativas están cubiertas por la herramienta de posicionamiento en plano de base.

Con esta técnica de diseño jerárquico, es factible realizar circuitos con mas de un millón de transistores. Cuando se dispone de un plano de base óptimo se puede comenzar la etapa de diseño físico. En esta fase se realiza el trazado físico de cada componente y de sus interconexiones. La mayor parte de las veces esta actividad la realiza el fabricante, pero para circuitos grandes o con velocidad crítica se realiza localmente. La Figura 1 muestra la metodología de diseño tipo arriba-abajo.

Diseño de alto nivel

En la Figura 2 se muestran las diferentes etapas de un diseño de alto nivel usando como ejemplo una aplicación de DSP (procesador digital de señal).

La especificación es transcrita a una descripción mas formal por medio de un lenguaje de alto nivel tal como VHDL, Verilog HDL o Silage², especialmente concebidos para describir algoritmos de DSP.

Esta traducción la realiza el diseñador de sistemas, que formula la especificación por medio de una descripción apta para simulación, pudiendo verificarla, y detectar discrepancias o carencias, mediante el uso de lenguajes de descripción a alto nivel y herramientas asociadas a simulación. Esto permite una rápida realimentación al equipo de especificación y al diseñador del sistema.

El paso siguiente consiste en diseñar una arquitectura para el algoritmo a ejecutar. La Figura 2 muestra una arquitectura posible de una aplicación de DSP, basada en bloques modulares tipo "datapath" tales como una ALU, registros de desplazamiento, multiplicadores, buses múltiples y elementos de control distribuidos. Cuando la arquitectura queda definida, se crea una descripción tipo nivel de transferencia a registro (RTL), que es la preferida para descripción y verificación del sistema completo con las herramientas actuales de síntesis en puertas lógicas.

Generación automática de partes del circuito

Los elementos que forman parte de un circuito integrado pueden clasificarse en elementos estructurales tales como RAM, ROM, PLA y módulos "datapath", elementos sintetizables (partes de control y lógica) y módulos analógicos.

En los módulos analógicos se necesita generalmente una metodología de diseño basada en células o incluso totalmente a la medida, aunque algunas células pueden configurarse también en una estructura tipo mar de puertas.

Existe una diferencia entre la representación independiente de la tecnología para los tres tipos de elementos del circuito integrado; para una memoria RAM se podría generar un modelo funcional adecuado en simulaciones funcionales; con los elementos sintetizables se pueden usar varias representaciones independientes de la tecnología como descripciones RTL, máquinas de estados finitos o ecuaciones booleanas. En los módulos analógicos se proporciona un modelo funcional, que puede consistir en una función de transferencia descrita en el dominio S de Laplace, en el supuesto de que el simulador esté capacitado para procesarlo.

Cuando se ha finalizado el diseño funcional, se pueden generar todas las etapas dependientes de la tecnología tales como el trazado, modelos abstractos y de tiempo para su uso durante la etapa de diseño físico. Las células de la biblioteca (puertas, células RAM, etc..) pueden generarse mediante técnicas de trazado simbólico que aseguran la independencia de la tecnología.

Plano de base y calculo de retardos

En una etapa de alto nivel, es importante tener una idea aproximada de como van a estar posicionados e interconectados los diferentes módulos. Se debe buscar para cada módulo una relación de aspecto óptima, que pueda ser realimentada al generador de módulos y a las herramientas de posicionado e interconexión.

Como los circuitos van siendo mas grandes, es cada vez mas importante disponer de modelos precisos para los retardos debidos a interconexiones. Anteriormente se tenían en cuenta solamente las capacidades de cada interconexión, actualmente se deben utilizar redes RC

distribuidas para una mayor precisión. Esta información se utiliza durante la simulación a alto nivel donde se utiliza la preanotación para tener en cuenta los retardos por interconexión. Cuando se ha realizado el diseño físico, se procede a la retroanotación para incorporar a la simulación el trazado físico real de la interconexión.

Herramientas CAD para realizar una metodología de diseño independiente de la tecnología

La automatización del diseño con metodología de arriba-abajo necesita de herramientas expertas incorporadas a un sistema integrado dedicado. Las especificaciones de sistema se introducen desde una ventana de entrada de datos combinando descripción de comportamiento y desdoblamiento en estructuras.

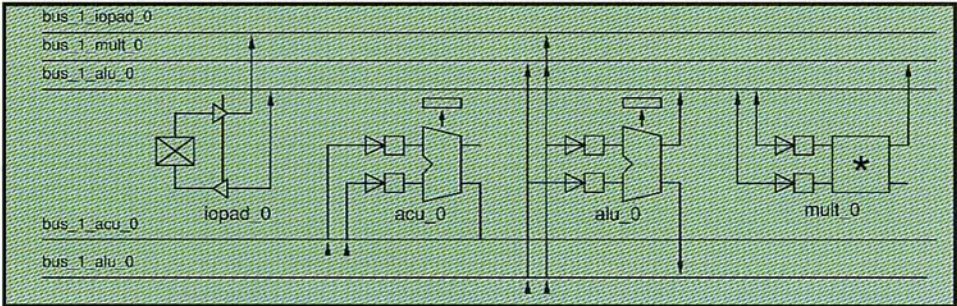
La descripción de comportamiento utiliza un lenguaje de descripción hardware para capturar la funcionalidad específica del sistema y transferirla a los procesos de simulación y síntesis lógica.

Figura 2 Actividades de diseño a alto nivel para una aplicación DSP.



```
func main (freal, fimag : W16[64]) ampl : W16 ; threshold
begin
  threshold[0] = W16(0);
  (i : 0 .. 63) : :
    begin /* Amplitude calculation */
      a1[i] = if (abs(freal[i]) >= abs(fimag[i])) --> abs(freal[i])
      | abs(fimag[i]) fi;

      ampl[i] = W16 (a1[i] * c1[i]) + W16 (c2[i] * a2[i]);
      /* Threshold calculation */
      thresh[i+1] = if (thresh[i] < ampl[i]) --> ampl[i]
      | thresh[i] fi;
    end;
  threshold = W16 (thresh[64] >> 4);
end;
alloc(alu, 1); alloc(mult, 1);
alloc(ram, 1); alloc(iopad, 1);
alloc(acu, 1);
```



```
x6 : reg_1_alu.3 <- x10 : reg_1_alu.4, x12 : reg_2_alu.4 X alu.4 = add;
x10 : reg_1_alu.4 <- x14 : reg_1_alu.5, x16 : reg_2_alu.5 | alu.5 = sub;
x8 : reg_2_alu.3 <- x1801 : reg_1_alu.6 | alu.6 = passa;
x14 : reg_1_alu.5 <- x20 : reg_1_alu.7, x22 : reg_2_alu.7 | alu.7 = add;
x18 : reg_1_alu.6 <- x1001 : reg_1_alu.8 | alu.8 = passa;
x20 : reg_1_alu.7 <- x20 : reg_1_buf 1;
x10 : reg_1_alu.8 <- x14 : reg_1_alu.5, x16 : reg_2_alu.5 | alu.5 = sub;
```


La simulación mixta verifica la correcta funcionalidad

La síntesis lógica convierte la descripción de comportamiento en una puerta totalmente verificable empleando la realización a nivel de compilador de pruebas (Synopsys).

Como complemento de las herramientas expertas, todos los niveles de realización están provisto de interfaces estándar industriales:

- VHDL a nivel de especificación de sistema.
- EDIF a nivel de realización en puertas.
- GDSII a nivel de máscara.

Entorno de diseño

El entorno de diseño³ proporciona un proceso concurrente de las herramientas (expertas) incorporadas. Los diseñadores disponen de acceso simultáneo al esquemático de partida, simulación interactiva y síntesis lógica. Se pueden establecer procesos UNIX para ejecutar programas suplementarios de utilidades de diseño sin dejar el entorno.

La Figura 3 muestra como Cadence ha realizado y resuelto dicho entorno de diseño con multiventana.

Herramienta de verificación de diseño

La simulación a nivel mixto verifica las especificaciones descritas en los dos estándares mas comunes Verilog HDL y VHDL (Figura 4). La verificación cubre todos los niveles de diseño:

- La técnica de simulación se aplica en primer lugar en la fase de especificación, donde se puede analizar funcio-

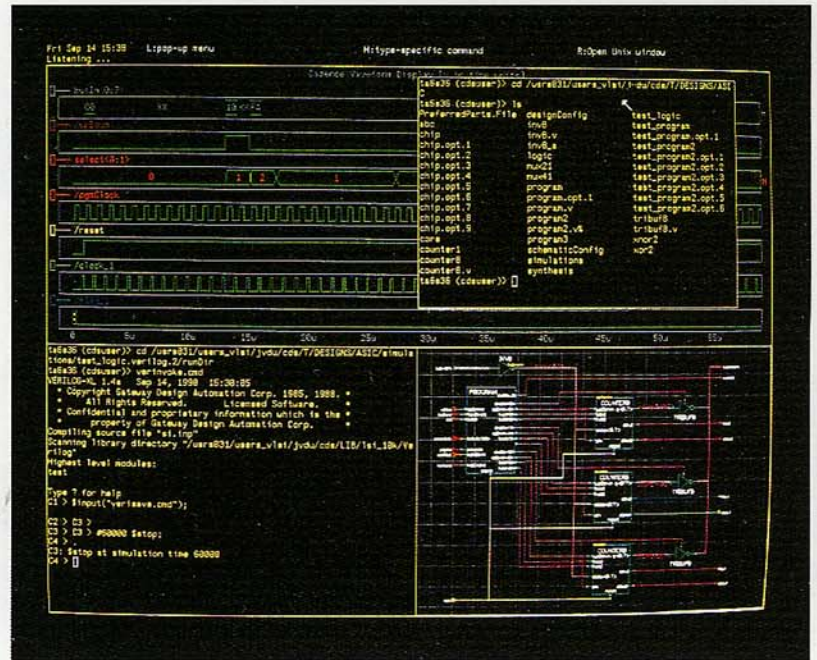


Figura 3
Imagen del entorno Cadence:
(superior-izquierda) salidas del simulador;
(superior-derecha) ventanas con comandos UNIX;
(inferior-izquierda) ventana de comandos para el simulador;
(inferior-derecha) ventana de captura de esquemas.

nalidad y capacidad de proceso de datos en arquitecturas alternativas. Funciones estocásticas incorporadas potencian de modo significativo al análisis de arquitecturas.

- A nivel de comportamiento, la verificación asegura la correcta funcionalidad del código HDL sintetizable.
- La simulación a nivel de puerta y de conmutación permite un análisis preciso y rápido de la realización en silicio.

La simulación de estos niveles se puede mezclar, lo que mejora aún más la verificación.

Además de la verificación en los tres niveles diferentes de diseño, la simula-

ESTOCÁSTICO



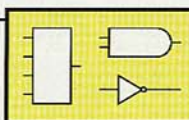
ALGORITMICO

```
for (i = 0; i < 10; i=i+1):
  case (Data_a)
  1: b = 5;
  2: b = 10;
```

FLUJO DE DATOS (RTL)

```
Begin
@ Posedge(Clock) --> trig
if (trig = 1) a = b&c;
end
```

PUERTA



ARQUITECTURA

COMPORTAMIENTO

CONMUTADOR

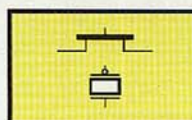
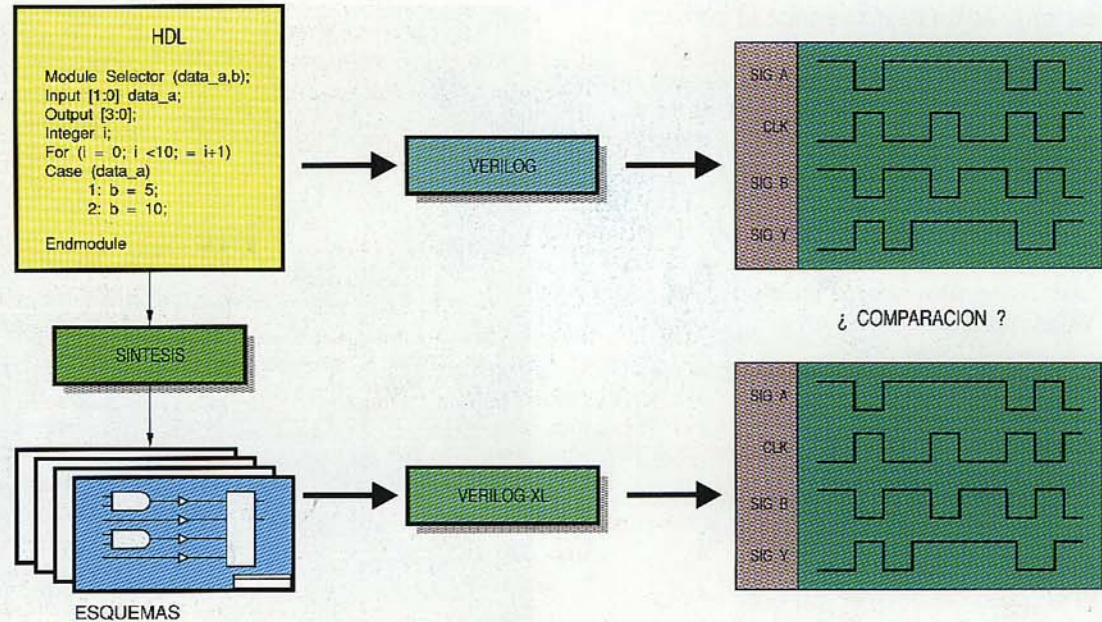


Figura 4
Herramienta de verificación de diseño: simulando todos los niveles desde el algoritmo al eléctrico (nivel de conmutación).

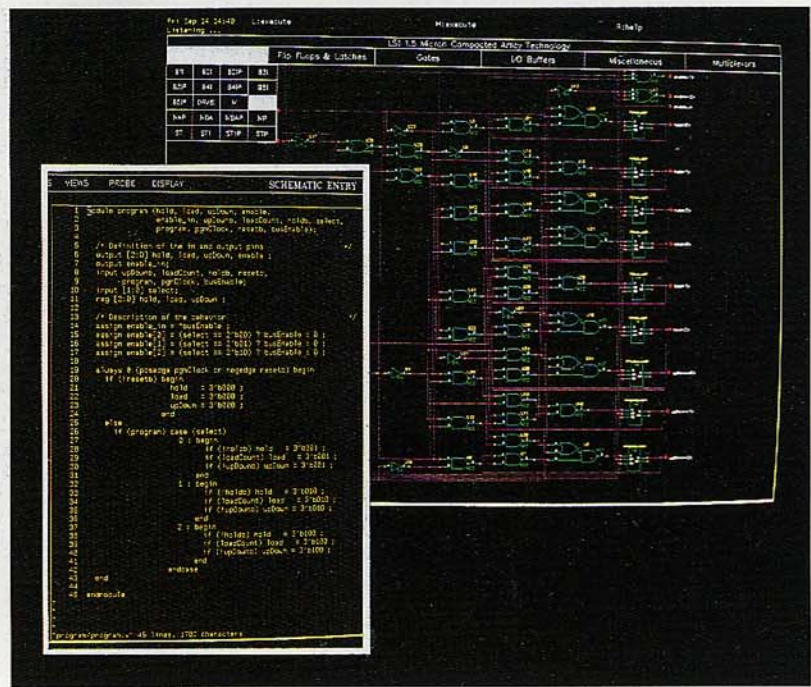
Figura 5
Simulación multinivel
con comparación
automática de
resultados.



ción mixta proporciona ventajas adicionales al proceso de síntesis lógica ya que después de que las descripciones HDL se hayan verificado y encontrado correctas, se pueden sintetizar en un esquema. La verificación a nivel de puerta se realiza mediante la comparación de los resultados de salida como se ve en la Figura 5.

Figura 6
Síntesis desde el
entorno Cadence:
(izquierda)
descripción HDL RTL;
(derecha) esquema
sintetizado a nivel de
puerta (Synopsys).

Herramienta de síntesis
La síntesis lógica se realiza por medio de Synopsys. Esta herramienta⁴ acepta formatos tanto Verilog HDL como VHDL y tiene unas excelentes capacidades incorporadas.



El procedimiento más directo es la síntesis hacia el silicio. En esta etapa el código HDL, independiente de la tecnología, se configura en una estructura ASIC. Las restricciones de diseño conducen el proceso de síntesis hacia un compromiso óptimo entre velocidad y área en la tecnología dada.

Aparte de configurar en una tecnología dada y de la posibilidad de migración, Synopsys proporciona una capacidad inversa de síntesis que extrae funcionalidad de bloques diseñados existentes.

Un compilador para pruebas incluye automáticamente caminos de exploración, de modo que se garantiza una completa aptitud para pruebas de la realización en silicio. El compilador de pruebas puede generar también tablas para prueba automática (vectores ATPG).

Comenzando por la descomposición del sistema, donde cada bloque tiene un código HDL que define su funcionalidad, se procede a la síntesis del diseño completo bloque a bloque. La introducción en Synopsys de restricciones, como área máxima o velocidad específica de reloj, forzará una síntesis con el nivel adecuado de puertas. La Figura 6 muestra como se integra este proceso en el entorno Cadence.

Tecnologías para integración

Vale la pena comparar las dos técnicas mas importantes de integración a la medida, mar de puertas (SOG) e integración basada en células (CB). Una de las ventajas mas importantes del SOG consiste en que sólo necesita el diseño específico

Tabla 1 – Comparación de densidades ASIC

Tipo de diseño	Mar de puertas		Biblioteca	
	DLM	TLM	DLM	TLM
Capas de metal				
Proceso	Solo metal	Solo metal	Cada capa	Cada capa
Densidad				
Lógica (puertas/mm ²)	700	1100	1000	1500
RAM SP (bits/mm ²)	1250	1250	2700	2700
RAM DP (bits/mm ²)	650	650	2000	2000
Exceso interconexion de alto nivel	50%	22%	50%	22%
Ejemplo (40 Kpuertas y RAM DP de 20 kbit) Area (%)	166	108	100	64

de las máscaras de metalización mientras que el diseño basado en células necesita todas las máscaras, de modo que, en el primer caso, se reduce el tiempo para la obtención de muestras a partir de la firma del acuerdo por ingeniería.

La Tabla 1 muestra algunas cifras de densidad de integración para lógica, memoria RAM de puerto sencillo y de doble puerto con diferentes capas de interconexión (doble y triple metalización). Al usar estas cifras para un diseño complejo de RDSI-BA con 40000 puertas equivalentes y una memoria RAM de doble puerto de 20 Kbits, queda claro que un diseño basado en células de biblioteca proporciona un área menor. Sin embargo, mediante la tecnología SOG/TLM se consigue un área aceptable, especialmente si se tiene en cuenta que el diseño CB/TLM todavía no es muy común y carece de bibliotecas y de herramientas de ayuda por ordenador para posicionamiento e interconexión automática.

Otro aspecto importante lo constituye la disponibilidad de nuevas tecnologías de integración. Cuando se desarrolla un nuevo proceso en silicio (CMOS), la primera utilización comercial es SOG. En una fase posterior (6 meses ó un año mas tarde) aparecen las bibliotecas para diseño con célula. Alcatel utiliza la tecnología SOG para diseños grandes y complejos a fin

de tener un acceso inmediato a las tecnologías de vanguardia en silicio submicra.

La Tabla 2 muestra algunas de las ofertas comerciales actuales. Se destaca la posibilidad de realizar, con estas matrices de puertas, circuitos de gran complejidad (uno a dos millones de transistores).

Ejemplos de diseño

El codificador de voz GSM es un circuito para radio móvil con una macrocélula DSP incorporada. La metodología aplicada parte de una descripción de comportamiento en VHDL y utiliza Synopsys para la síntesis de la lógica suelta (con 5000 líneas de código VHDL se han descrito 5000 puertas de este tipo de lógica). La incorporación del modelo VHDL del DSP (7000 líneas de código VHDL) permite la verificación del software del codec. Su trazado se muestra en la Figura 7.

Todos los circuitos de la RDSI-BA se realizarán con esta metodología de arriba-abajo. Las especificaciones del sistema se escriben en Verilog HDL ó VHDL. La lógica suelta se genera mediante síntesis lógica. Los compiladores de estructura se utilizan para las memorias RAM de puertos sencillo y doble. La Figura 8 muestra uno de los circuitos incorporados en una placa de conmutación RDSI-BA y que ha sido diseñado siguiendo los métodos anteriormente descritos.

Futuras tendencias

La base de la metodología de diseño independiente de la tecnología es la utilización de la síntesis. En el futuro, la síntesis se irá haciendo cada vez mas importante. Actualmente, sólo se puede sintetizar un pequeño subconjunto del lenguaje HDL; en el futuro se invertirá un mayor esfuerzo en síntesis de niveles mas altos tales como síntesis de arquitecturas.

Un ejemplo de tales investigaciones lo constituye el compilador de silicio Cathedral^{5,6}. En este entorno existe la

Tabla 2 – Ofertas comerciales ASIC

Fabric. ASIC	Puertas	Utilizables	Nº de capas	CMOS	Tamaño (mm)	Máx. term.
Suminist. 1	330 K	192 K	3 LM	0,7 µm	14,1 x 14,1	400
Suminist. 2	400 K	250 K	3 LM	0,8 µm	14,6 x 14,5	512
Suminist. 3	250 K	100 K	2 LM [*]	0,7 µm	14,9 x 14,9	440

* Opcional 3 LM

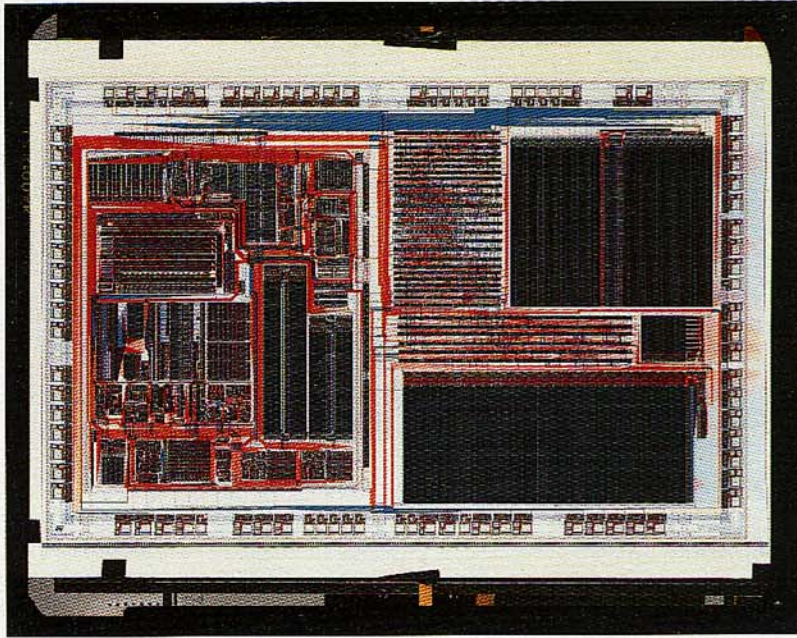


Figura 7
Trazado del circuito codificador/decodificador de voz para radio móvil.

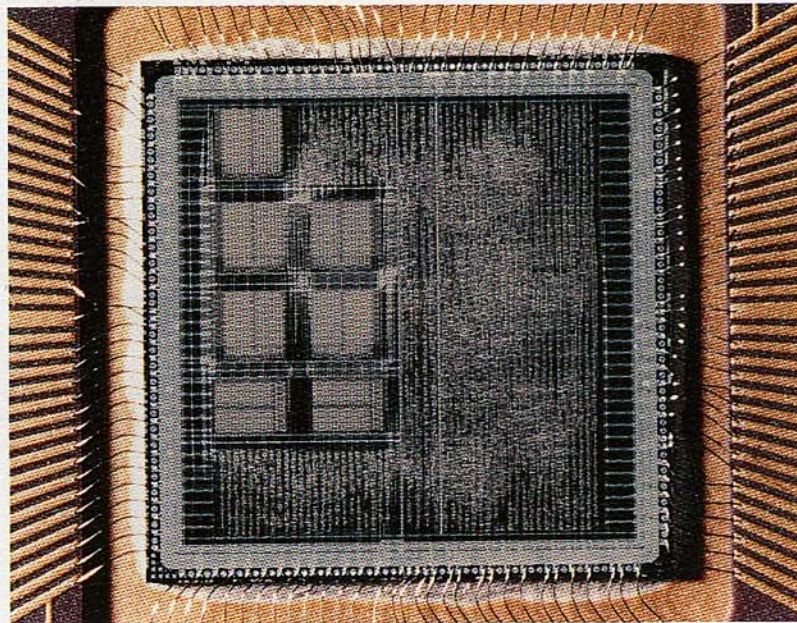


Figura 8
Aplicación RDSI-BA
con tecnología
basada en mar de
puertas.

herramienta de síntesis de arquitecturas, aunque está limitada a aplicaciones de DSP. Sin embargo, constituye un buen punto de partida para ulteriores desarrollos en otras áreas.

Conclusiones

Una metodología arriba-abajo basada en lenguajes HDL y herramientas de síntesis permite posponer la configuración física en silicio hasta las últimas etapas del ciclo de diseño. Además, describiendo módulos sintetizables a nivel RTL, inde-

pendientemente de la tecnología específica, se puede conseguir una gran flexibilidad.

Adoptando nuevos lenguajes de descripción de circuitos, como el VHDL, es posible la reutilización de macrofunciones y el intercambio de módulos.

En el futuro se acentuará cada vez más el énfasis en la síntesis, lo que finalmente permitirá que se puedan sintetizar las descripciones de alto nivel, tipo algoritmo, (como en la síntesis de arquitecturas).

Referencias

- 1 R. Lipsett, C. Scafeffer y C. Ussery: VHDL: Hardware Description and Design.
- 2 P. Hilfinger: Silage: A High Level Language and Silicon Compiler for Digital Signal Processing.
- 3 Cadence: System Design Series: *Design & Reference Manual*.
- 4 Synposys: Reference and Design Compiler Manual.
- 5 J. Danneels, M. Rahier y A. Mozer: Investigación y Tecnología en microelectrónica: *Comunicaciones Eléctricas*, 1988, volumen 62, Nº 3/4, págs. 352-361.
- 6 J. Adams, J-J. Schmit y M. Van Camp: Design of a speech Decoder Chip with Cathedral II: *IMEC Esprit 97 Workshop*, Lovaina, 1989.

J. Adams nació en Aalst, Bélgica, en 1959. En 1982 se graduó en ingeniería en la especialidad en informática en la Catholic Industrial Highschool Brabant en Lovaina. En 1986 se graduó en ingeniería eléctrica en la Universidad de Lovaina, el mismo año se incorporó al departamento de microelectrónica de Alcatel Bell donde ha trabajado en el departamento de CAD. Actualmente es responsable de nuevos procedimientos y herramientas CAD avanzadas para diseño y síntesis de algoritmos y arquitecturas.

J. Van Dun nació en 1963 en Schoten, Bélgica. En 1985 se graduó en la especialidad de informática en la Catholic Industrial Highschool de Amberes. En 1986 se incorporó al departamento de microelectrónica de Alcatel Bell donde trabajó en CAD para diseño de circuitos VLSI. Actualmente está trabajando en nuevos métodos basados en herramientas avanzadas CAD para síntesis de arquitecturas.

P. Guébels (Ver biografía en página 150).

M. Rahier nació en 1953 en Namur, Bélgica. Se graduó en ingeniería electrónica y obtuvo el doctorado en microelectrónica en la Universidad Católica de Lovaina en 1976 y 1979 respectivamente, a continuación se incorporó al Centro de Investigación de Alcatel Bell donde trabajó en el diseño de circuitos integrados a medida, herramientas avanzadas de ayuda por ordenador y tecnologías de microelectrónica. A partir de 1985 el Dr. Rahier fue jefe del departamento de microelectrónica y de tecnologías hardware de Alcatel Bell. En 1989 y 1990 fue jefe de desarrollo hardware dentro de la división NSG de Alcatel Bell y coordinador de investigación del área clave para microelectrónica en Alcatel. En enero de 1991 fue nombrado director técnico de BSG Business Product Division con responsabilidad directa en todos los desarrollos PABX de Alcatel.

Diseño VLSI para pruebas

Los circuitos VLSI realizan operaciones muy complejas en un único dispositivo. Solamente un método consistente en técnicas de *diseño para pruebas* y asociado a cada etapa de desarrollo del dispositivo puede resolver los problemas de caracterización y las pruebas en producción de una forma eficiente y económica. El empleo de este método ha producido buenos resultados en varios dispositivos en lo referente al tiempo de aplicación de prueba y al área extra.

E. Huyskens

G. Van Wauwe

Alcatel Bell Telephone, Amberes, Bélgica

W. Fonden

R. Schulz

Centro de Investigación de Alcatel SEL,
Stuttgart, Alemania

Introducción

Las modernas tecnologías de proceso en silicio han hecho posible el aumento de la velocidad y de la complejidad de los circuitos VLSI al menos un orden de magnitud en los últimos cinco años. Como consecuencia, ha sido necesario introducir nuevos métodos de acceso para

pruebas y verificación de estos componentes. Si se tienen en cuenta algunos principios fundamentales (explicados mas adelante en este artículo) durante la etapa de diseño, se puede potenciar la aptitud para pruebas de los circuitos integrados de manera que se mejore la confianza en la calidad de los diseños y de los productos que los utilizan.

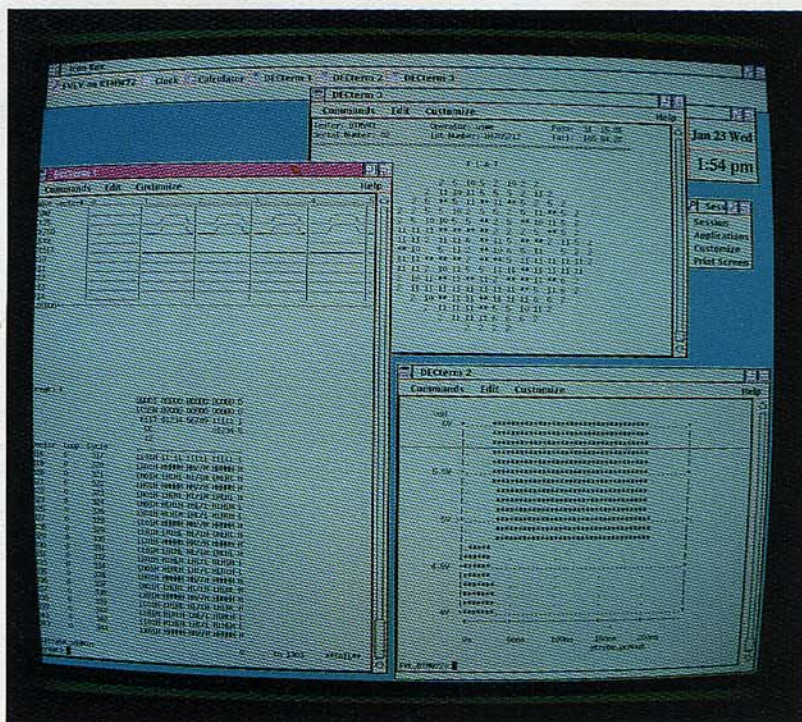
Necesidad de las pruebas ASIC

Las pruebas son una parte fundamental de las dos etapas importantes en la vida de productos basados en circuitos integrados VLSI: caracterización de prototipos y producción de dispositivos.

Caracterización del prototipo

La verificación precisa del diseño a probar es de la mayor importancia para asegurar una realimentación rápida y completa. Las especificaciones del dispositivo se verifican en el entorno controlado que proporciona el equipo de pruebas de circuitos VLSI digitales de forma que su comportamiento físico es comparado con los resultados de simulación obtenidos durante la fase de diseño. Estas simulaciones se utilizan para generar las tablas de prueba. Una medida cualitativa para las tablas de prueba es su cobertura, es decir el número de errores importantes en un dispositivo que pueden ser detectados mediante la monitorización de la repuesta de dicho dispositivo.

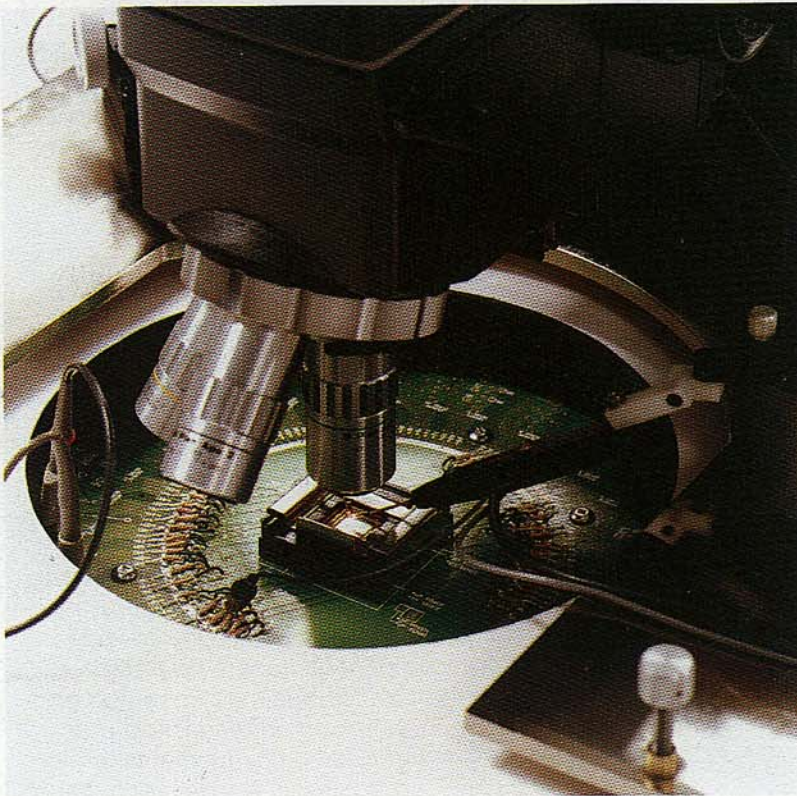
Figura 1
Caracterización de dispositivo basado en herramientas software. El visualizador muestra formas de onda, bases de datos, diagramas de shmoo y tablas de oblea.





Dispositivo RDSI de banda ancha (puerto transmisor-receptor) siendo caracterizado a 150 MHz en un entorno integrado de prueba.

El acceso interno por sonda puede ayudar en la búsqueda de comportamientos marginales de los dispositivos.



sitivo al estímulo de dichas tablas. El entorno de la maquina de pruebas ha de estar suficientemente equipado con herramientas de ayuda flexibles que permitan una exhaustiva caracterización del dispositivo (Figura 1).

La necesidad del diseño para pruebas en esta etapa es exigida por la evolución tecnológica. Los tamaños de los transistores se han ido reduciendo permitiendo que se consigan circuitos de mayor velocidad, lo que ha permitido que se puedan integrar funciones mas complejas en un único dispositivo. A medida que el número de terminales por función decrece, la búsqueda de posibles defectos se hace muy dificultosa, debido a la disminución de observabilidad de las funciones internas del dispositivo. El acceso interno a través de sonda, bien mecánica o por haz de electrones no puede más que suministrar una solución coyuntural y limitada en la búsqueda del origen de un fallo en el dispositivo.

Prueba de producción

La prueba en producción constituye un aspecto critico en el proceso de fabricación de dispositivos debido a que las variaciones de los parámetros de proceso y los defectos de fabricación afectan al rendimiento de oblea. La detección de errores en una fase temprana de la vida de un producto, por ejemplo nivel del propio dispositivo, es un requisito fundamental para la economía de la producción, debido a que el esfuerzo y coste asociado a la identificación de un error en un sistema electrónico aumenta exponencialmente a lo largo de la cadena de producción. El proceso de pruebas debe proporcionar una óptima discriminación entre circuitos defectuosos y correctos en la oblea: los que pasen la prueba deben satisfacer todos los requisitos funcionales del sistema del que forman parte, pero la prueba no debe ser tan severa que excluya circuitos que funcionen correctamente.

Estas exigencias están regidas por la economía. La cobertura de la tabla de pruebas debe ser tan alta como sea posible, el tamaño de dicha tabla debe caber en la memoria de la maquina de pruebas para producción. Además, es importante minimizar el tiempo de prueba por circuito.

Necesidad del "diseño para prueba"

Todos los requisitos mencionados anteriormente deben cumplirse, a pesar que la evolución tecnológica actual lo haga

difícil. Esto es especialmente cierto para los circuitos de telecomunicación donde existe a menudo una funcionalidad altamente secuencial que reduce la observabilidad de los nodos internos, aumentando consecuentemente la longitud de las tablas de pruebas.

Además de estas dificultades impuestas por la tecnología, las pruebas deben satisfacer criterios generales de cualquier desarrollo, lo que incluye un mínimo tiempo para su comercialización, alta productividad en las etapas de desarrollo, primeras entregas correctas y alta calidad, y todo esto es necesario para diseños que, a menudo, tienen una vida limitada.

La única manera de satisfacer estos desafíos es la anticipación a los problemas en la etapa mas temprana posible, que se consigue mediante la adaptación del diseño para facilitar su prueba. Por lo tanto, debe definirse una estrategia de prueba junto a la especificación funcional del dispositivo.

Se han desarrollado numerosas técnicas de *diseño para prueba*, cada una con un campo propio de aplicación. Muchas de ellas tienen su origen teórico en los primeros años de la integración de dispositivos lógicos¹. Sin embargo, ha sido solamente ahora cuando la tecnología disponible ha permitido que estas técnicas sean completas y rutinariamente utilizadas para diseño a gran escala de integración. La innovación de la estrategia actual radica en la potencia de su aplicación combinada.

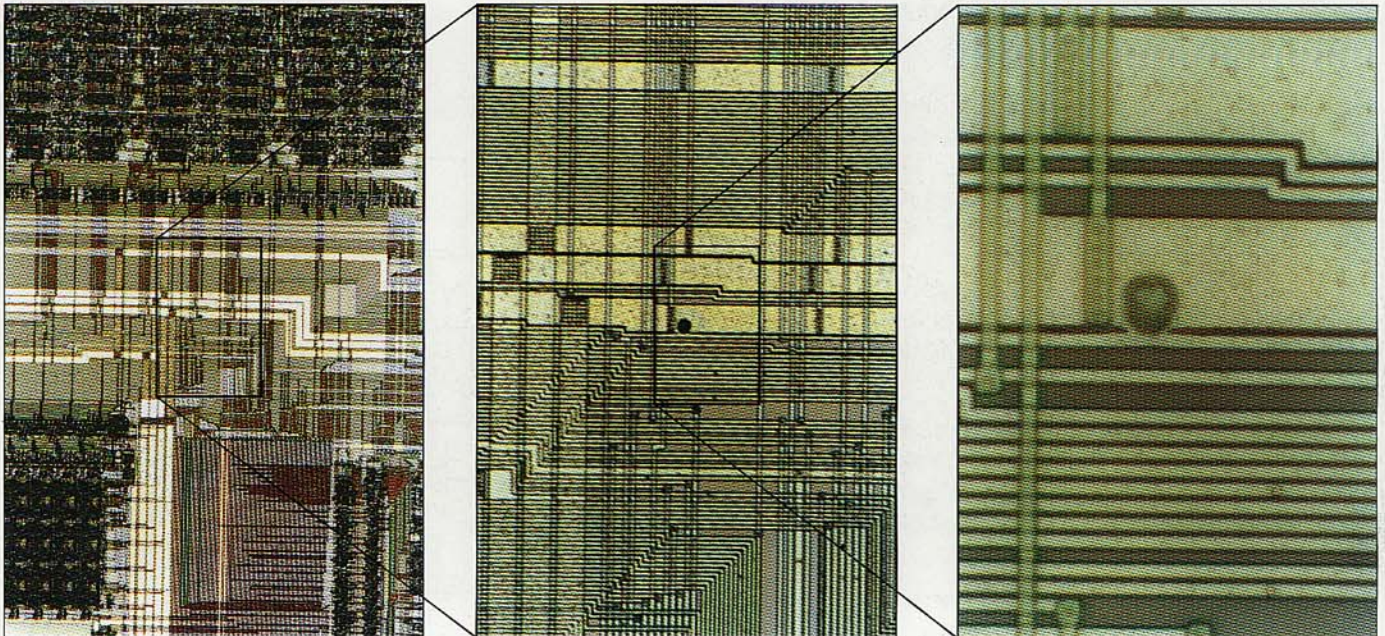


Técnicas de diseño para prueba

Muchas generaciones anteriores de circuitos integrados incluyeron características para facilitar su prueba, sin embargo se solían introducir cuando la lógica era particularmente inaccesible. Estas soluciones *ad hoc* resolvían cuellos de botella específicos, quizás con un poco de área

La prueba basada en haz de electrones permite la observación de pistas metálicas densamente espaciadas a alta velocidad.

Ejemplo de un fallo en producción: un puente entre una señal y una pista de reloj. El dispositivo fue procesado en tecnología de 1,2 μm .



de circuito extra que necesitaba la lógica adicional para pruebas. Sin embargo, su realización y la generación de tablas de pruebas adecuadas era muy lenta.

Las técnicas actuales de diseño para prueba permiten que los vectores de prueba, con una alta cobertura frente a fallos, sean generados automáticamente. Tres técnicas, cada una con su área de aplicación, son especialmente interesantes. Combinándolas en un mismo diseño proporcionan, realmente, una estrategia de pruebas económica.

Autoprueba incorporada (BIST)

Los bloques funcionales pueden estar profundamente insertados en la lógica, haciendo realmente difícil el acceso a ellos; consecuentemente, el número de vectores de prueba aumenta considerablemente y son difíciles de generar, en el caso que sea posible. Sin embargo, estos macrobloques (p. ej., RAM y ROM) pueden constituir una fuente importante de fallos para el circuito.

El mejor tratamiento consiste en añadir a estas estructuras una lógica dedicada para prueba, de modo que a través de un modo de operación especial, sean completamente controlables y observables². Una lógica especializada genera estímulos internos que garantizan una alta cobertura para aquellos tipos de fallos que se sepan que son importantes. La respuesta del macrobloque es monitorizada y el resultado final de las secuencias de prueba puede observarse en los terminales de salida. Esta circuitería para prueba, y sus tablas de prueba correspondientes, puede crearse, por ejemplo, por medio de un generador con memoria RAM. En la práctica, esta técnica resulta cara cuando un circuito contiene muchos macrobloques, pequeños y ocultos profundamente en el diseño.

Se ha desarrollado una solución alternativa para el problema de la prueba de macros en el interior del circuito. En lugar de añadir una nueva lógica de pruebas, se reutiliza y modifica la lógica funcional alrededor del macro³.

En la Figura 2 se muestra una combinación típica RAM/ROM. La incorporación de la facilidad de autoprueba se divide en 3 fases:

- Aislamiento del bloque considerado, cuando se está en modo de prueba, mediante la inhibición de las señales de interfaz desde/hacia bloques colindantes.
- Modificación de la lógica de control funcional, de modo que durante la

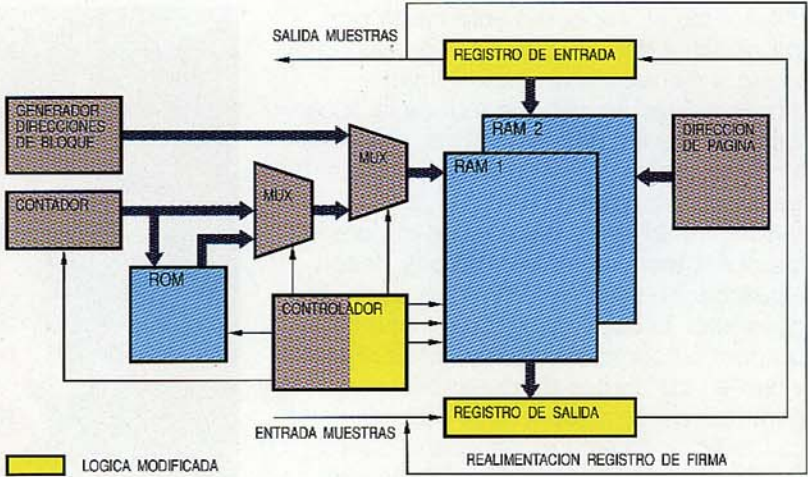
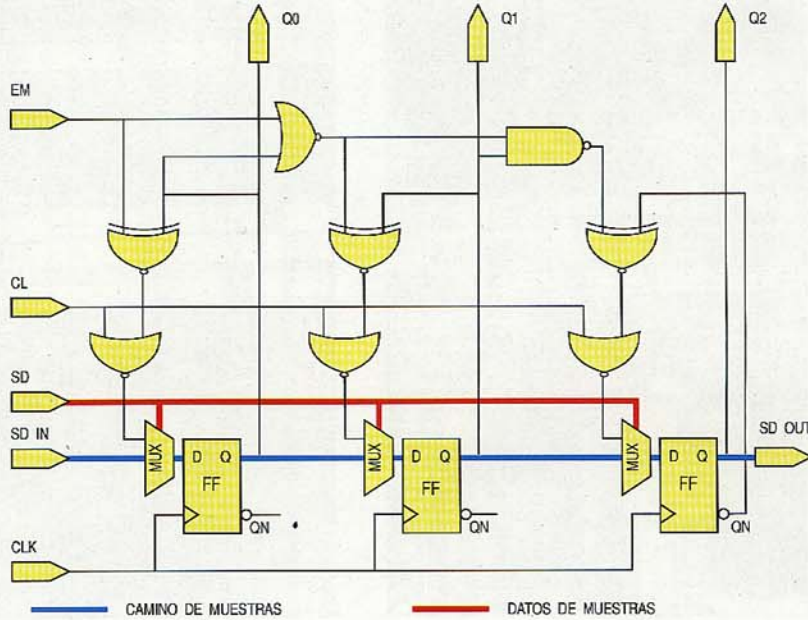


Figura 2
Realización de estructura de autoprueba asociada a un bloque híbrido RAM/ROM (función de multiplexación de bit en CHED).

- autoprueba sea posible generar una secuencia de tablas de prueba, que hasta cierto punto, se basen sobre todo en secuencias funcionales ya disponibles.
- Asociación de los registros de datos de entrada y salida para formar un registro de desplazamiento con entrada múltiple (MISR), que calculará el nuevo estímulo de prueba a partir del contenido anterior y de los datos de salida del macrobloque (en este caso una memoria RAM). Funciona como un registro de firma: después de completarse la prueba, cualquier error que se haya producido en el transcurso de la misma habrá variado el resultado final (la firma) en el registro. Este resultado es desplazado al exterior a través de

Figura 3
Contador asíncrono de 3 bits con iniciación síncrona adaptado para metodología de muestreo completo. La aptitud para prueba es garantizada por diseño.



uno de los terminales del circuito y se compara con la firma prevista.

Las tablas de prueba se generan automáticamente en el interior del circuito de una forma pseudoaleatoria. Debido a que únicamente se han de almacenar la secuencia inicial y el contenido final del MISR en la memoria del equipo de pruebas, dicha tabla es pequeña. El resultado proporciona una prueba de alta cobertura, que se puede aplicar a la velocidad nominal del macro a costa de una pequeña área adicional en el circuito.

Metodología de muestreo completo

Existe un gran número de puertas realizando pequeñas pero numerosas operaciones entre diversos macrobloques de funciones especializadas y definidas; a estas puertas se las suele denominar *lógica aleatoria*. Debido a que carecen de una estructura general reconocible, no es factible el uso de la autoprueba.

A fin de garantizar el acceso y la generación automática de tablas con alta cobertura, se modifica la componente secuencial de esta lógica. Todos los biestables se conectan en una o mas cadenas tipo muestreo. El objetivo de convertirlos en grandes registros de desplazamiento se puede comprender con la ayuda de la Figura 3.

Primeramente, se calcula un vector que detecte el máximo número de fallos posibles en los nodos de la lógica combinatorial, que se encuentra situada entre registros de muestreo. Mientras la señal de desplazamiento de datos (SD) está activa, el vector se desplaza hacia el interior de la cadena. El estado del circuito está completamente controlado al final de esta secuencia de entrada.

En segundo lugar se selecciona la entrada funcional del multiplexor. Un único impulso de reloj evalúa como ha respondido la lógica al vector aplicado.

Por último, la señal de desplazamiento de datos se coloca de nuevo a nivel *alto* y el resultado es desplazado al exterior de modo que se pueda observar en el terminal de salida. Al mismo tiempo es introducido un nuevo vector.

El razonamiento subyacente es convertir un circuito secuencial en varias estructuras combinatoriales, ya que se conocen algoritmos muy eficientes en la generación de vectores de prueba para este tipo de lógica. La cobertura frente a fallos es alta y el número de vectores de prueba pequeño, y todavía puede reducirse más su tamaño si se utilizan técnicas adicionales de compactación.

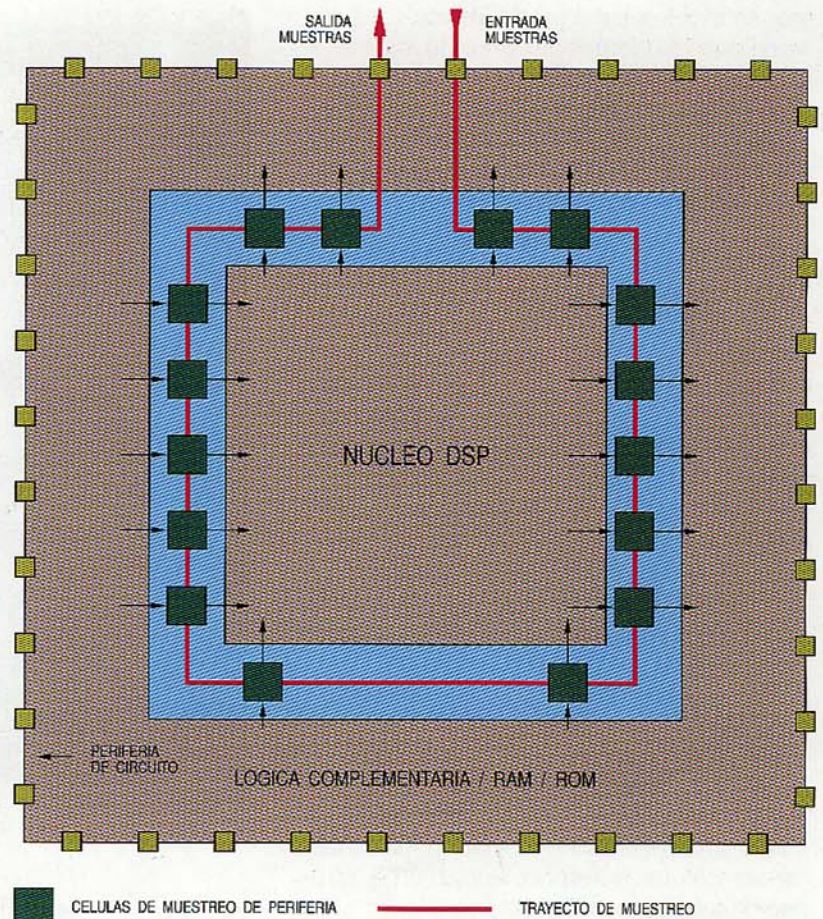


Figura 4
Esquema de una realización de muestreo periférico en el circuito SPEECH.

Esta técnica de muestreo completo es directa y ampliamente aplicada. Herramientas modernas de ayuda por ordenador, que permiten sintetizar los niveles mas bajos en puertas a partir de descripciones de comportamiento en alto nivel, también proporcionan procedimientos para reemplazar automáticamente los biestables por sus equivalentes encadenables, e interconectarlos formando las mencionadas cadenas. Mediante esta técnica, la realización de la estrategia es, completamente transparente al ingeniero de diseño.

Técnica de muestreo periférico en el circuito

Otro desafío lo constituye la incorporación de macrobloques al diseño procedentes de suministradores externos. A fin de obtener el máximo beneficio del esfuerzo ya realizado en la generación de las tablas de prueba, y para resolver el problema de pruebas del bloque de macro incorporado, y la lógica colindante, debe poderse controlar y observar cada señal de interfaz mediante la incorporación de *células tipo muestreo periférico* (Figura 4). Resulta incluso posible

monitorizar las señales de interfaz, a baja velocidad, sin interferir con el funcionamiento normal del circuito.

Se puede encontrar un tratamiento mas detallado de aplicaciones del mismo tipo (muestreo periférico) a nivel de placa en otros artículos de este número⁴.

Ejemplos y realizaciones

CHED

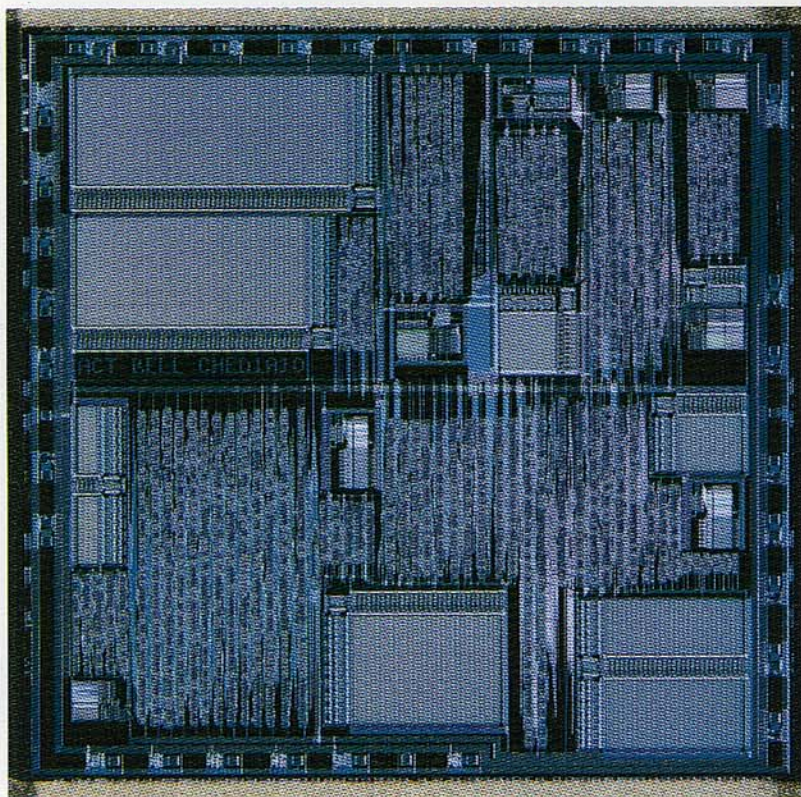
El ASIC codificador/decodificador de canal (CHED) para el proyecto de radio móvil celular GSM ECR900 realiza un cierto numero de funciones complejas, que incluyen codificación de paquetes y entrelazado de datos en los caminos de transmisión y recepción. Se ha conseguido una manera diferente de realizar eficientemente tales funciones mediante la utilización de macrocélulas. En la foto se pueden identificar los siguientes bloques: seis RAM, cuatro ROM y cinco PLA (matrices lógicas programables). Se puede acceder a través del interfaz del microprocesador a las dos células RAM que actúan como memoria intermedia; todas las demás células están profundamente introducidas en la lógica aleatoria.

La estrategia para pruebas se ha definido como:

- Todos los bloques de ROM han sido utilizados para generar la dirección de la correspondiente RAM. Se ha decidido que cada combinación RAM/ROM será tratada a través de autoprueba
- Se ha incorporado a la memoria RAM independiente una estructura de autoprueba que consiste en lógica de control y de direccionamiento, la propia memoria RAM, y sus registros de entrada y salida.
- La metodología de muestreo completo se ha aplicado a la lógica aleatoria.

En la Figura 5 se muestra el área requerida por la lógica incorporada para autoprueba. Puede observarse que la técnica seleccionada requiere poca área extra (0,5%) comparada con el tamaño de la RAM considerada. Cuando se comparan dichos resultados con los obtenidos en otros informes, se debe tener en cuenta que en estos últimos la cifra se ha obtenido con soluciones completamente a la medida mientras que la autoprueba en el circuito CHED ha sido realizada en un entorno de diseño basado en células estándar.

La generación interna de las tablas es pseudoaleatoria. Para una cierta cobertura



Circuito codificador/decodificador de canal para un sistema de radio móvil celular. Se pueden identificar macrobloques de varios tamaños entre la lógica aleatoria.

ra frente a fallos, el tiempo de prueba es algo mayor que en la solución a medida de autoprueba incorporada. Sin embargo, como muestra la simulación, se puede conseguir la cobertura frente a fallos necesaria en un tiempo razonable (Figura 5). Esta secuencia mas larga no afecta a la memoria requerida del equipo de pruebas.

El circuito tiene 650 biestables interconectados en seis cadenas con longitud máxima de 125 células. Se ha conseguido una cobertura completa para la parte síncrona del circuito con la utilización de 115 vectores, generados automáticamente, y que representan una prueba de 15000 ciclos de reloj.

La combinación de estos métodos diferentes de prueba ha repercutido en un área extra de solamente el 6,5%. Un total de 55000 vectores de prueba cubren todos los fallos de fijación en la memoria aleatoria y una amplia variedad de tipos de fallos en las RAM y ROM. Se han añadido pequeños vectores funcionales para asegurar que los interfaces asíncronos puedan caracterizarse de manera apropiada.

El tamaño del vector de prueba resultante es despreciable si se compara con el millón de vectores de prueba funcionales que eran necesarios para conseguir una cobertura completa de los fallos considerados. De hecho, una muestra de

simulaciones de fallo, mostró que la cobertura con este gran número de vectores no excedió del 60%.

SWEL

El elemento de conmutación (SWEL) constituye un componente clave que conmuta dieciséis flujos de datos de 32 canales. Contiene tres estructuras grandes de memoria RAM: una memoria RAM de doble puerto que contiene el estado de las líneas de transmisión, una estructura equivalente para las líneas de recepción, que también genera la información de conectividad de puertos y canales, y un registro intermedio de datos.

La estrategia de pruebas seleccionada para la memoria RAM y la lógica aleatoria es similar a la utilizada en el CHED. A pesar de la similitud de los resultados en cuanto a área extra, longitud de vectores y cobertura, el circuito ha sido diseñado totalmente a la medida. La controlabilidad y observabilidad internas fueron mejoradas drásticamente como resultado de la incorporación de la técnica muestreo

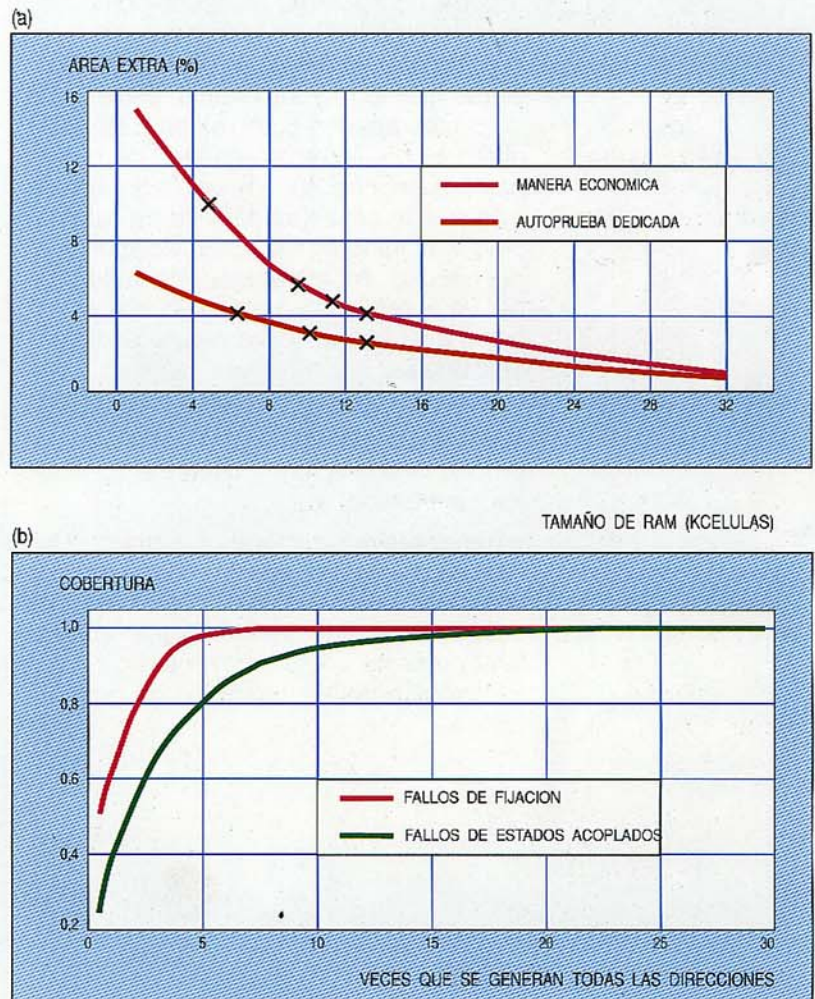
completo. Esto es una importante ayuda para acelerar la búsqueda de señales internas, cuyas características de tiempo podrían convertirse en críticas en el circuito funcionando en su entorno de sistema. Por lo tanto, la estrategia aplicada de prueba proporciona un camino para reducir el tiempo de validación del diseño.

Las herramientas de programación se escriben para el equipo de prueba de circuitos integrados LT1001 de Tektronix. Ellas permiten extraer, mediante desplazamiento, las cadenas de biestables en cualquier punto arbitrario de las pruebas funcionales. Cuando se compara el estado interno del circuito con los datos ofrecidos por la simulación, es posible detectar inmediatamente el área donde ocurrió la primera vez un fallo.

SPEECH

SPEECH es otro circuito integrado diseñado para el sistema de radio móvil celular; comprime la señal vocal una vez convertida a señal digital. Ha sido realizado alre-

Figura 5
(a) Comparación entre resultados de área ocupada por métodos de lógica de autopueba incorporada con los resultados ofrecidos por varios tamaños de RAM y
(b) cobertura frente a fallos como función de la duración de la prueba para una estructura de autopueba incorporada.



dedor de un procesador digital de señal de un suministrador externo.

A fin de conseguir un diseño apto para prueba y reutilizar los vectores de prueba proporcionados por el suministrador junto a su procesador digital de señal, se ha incorporado una célula de muestreo periférico a cada señal que cruza el interfaz entre el procesador digital de señal y su lógica colindante. El área extra requerida es alrededor del 1,5%.

Esta estructura permite que el procesador digital de señal y la lógica complementaria puedan ser caracterizados independientemente. Una consecuencia de esta realización es que el procesador digital de señal interno puede ser emulado por uno externo, cuyo resultado final ha permitido que el muestreo periférico pueda ser utilizado como una herramienta potente para el depurado del programa interno grabado.

Conclusiones

La aplicación consistente en técnicas de *diseño para pruebas* basadas en auto-prueba incorporada, muestreo completo y muestreo periférico asegura que se pueden generar vectores de prueba de alta calidad de forma automática. Estos procedimientos pueden combinarse a fin de obtener una estrategia general de pruebas para el circuito. Sin embargo, esto sólo puede conseguirse si se ha establecido e incluido en las especificaciones del circuito una estrategia global de prueba, en el momento preciso en que se estén definiendo dichos requisitos funcionales.

Combinando estas técnicas con herramientas adecuadas de programación se proporciona una forma fiable de caracterizar los prototipos.

Recientes realizaciones ilustran que la técnica de diseño para prueba se ha convertido en una necesidad cuando se trata de responder a los desafíos que representa el presente y futuro del entorno tecnológico de la integración de gran escala.

Referencias

- 1 T.W. Williams (editor): VLSI Testing: *Advances in CAD for VLSI*, North-Holland, 1986.
- 2 R. Dekker, F. Beenker y L. Thijssen: A Realistic Self-Test Machine for Static Random Access Memories: *IEEE International Test Conference*, 1988.
- 3 G. Van Wauwe y E. Huyskens: A Cost Effective Way to Test Embedded RAM and ROM: *Third Annual IEEE ASIC Seminar and Exhibit*, 1990.
- 4 J-C. Larreur y M-S. Martin: Metodología integrada para el diseño de ASIC y placas: *Comunicaciones Eléctricas*, volumen 62, nº 2, págs 183-187 (en este número).

Erik Huyskens nació en Amberes, Bélgica, en 1951, se graduó en 1973 en la escuela superior de Amberes, posteriormente se incorporó a la compañía Bell Telephone Manufacturing como ingeniero de desarrollo. En 1979, se desplazó al Centro Avanzado de Tecnología (ATC) en Shelton, Connecticut, donde estuvo dos años depurando y probando los circuitos integrados digitales del Sistema 12. Desde 1981 ha estado trabajando para el grupo de diseño de microelectrónica en Alcatel Bell Telephone donde es ahora responsable del equipo de ingeniería de pruebas para circuitos VLSI.

Geert Van Wauwe nació en Saint Niklaas, Bélgica, en 1963. Se graduó en 1985 en ingeniería electrónica en la universidad católica de Lovaina. Posteriormente se graduó en 1989 y 1990 en economía aplicada y en informática, respectivamente. Después del servicio militar se incorporó al grupo de diseño de microelectrónica en Alcatel Bell Telephone, Amberes, donde actualmente esta al cargo del desarrollo, incorporación y evaluación de estrategias de prueba para circuitos VLSI.

Wolfgang Fonden nació en 1951 en Berlín, Alemania. Se graduó en ingeniería eléctrica y técnicas de comunicación como Dipl-Ing FH en Esslingen cerca de Stuttgart. Está trabajando en el centro de investigación de Alcatel SEL desde 1978, donde ha estado involucrado en la generación de programas de pruebas desde 1979. Desde 1986 es responsable de las actividades de CAD y pruebas dentro del departamento de microelectrónica del centro de investigación.

Ruideger Schulz nació en 1958 en Ulm, Alemania. Se graduó en ingeniería eléctrica como Dipl-Ing., y en integración y diseño de circuitos en la universidad de Karlsruhe. Después de adquirir experiencia con el desarrollo en el desarrollo de placas multiproceso en Proteus, Karlsruhe, se incorporó a Alcatel SEL, donde está actualmente participando en el desarrollo y aplicación de métodos de diseño para prueba dentro del departamento de microelectrónica del centro de investigación.

Metodología integrada para el diseño de ASIC y placas

Utilizando una metodología integrada basada en la simulación, las herramientas CAD actuales permiten el diseño de ASIC y placas con un diagrama de flujo común. Se desarrollan al mismo tiempo, la placa se simula con datos del ASIC y el ASIC en su entorno de placa

J-C. Larreur

M-J. Martin

Alcatel CIT, Lannion, Francia

Introducción

Aunque en la actualidad se acepta que no se puede diseñar un ASIC (circuitos integrados de aplicación específica) sin simulación, ésta se limita al componente básico y se ejecuta de acuerdo a especificaciones externas, sin tener en cuenta el entorno del sistema o de su placa. Hasta ahora, pocas compañías utilizan una simulación global en los procesos de desarrollo.

Los laboratorios I+D de Alcatel CIT han adoptado la metodología de diseño *de arriba a abajo*, desde el nivel de bloques al nivel de componentes, lo que favorece al enfoque del sistema y permite que se desarrollen simultáneamente los ASIC y las placas. Esta metodología organiza el trabajo de diseño en dos niveles: el funcional que se aplica a la primera etapa de diseño, independiente de la tecnología, y el eléctrico que cubre la realización física de las funciones en células componentes para el fabricante del ASIC y en componentes (estándar o ASIC) para los diseñadores de placas.

Objetivos

Los fabricantes de sistemas de telecomunicaciones no pueden evitar las restricciones básicas del mercado: tiempo de disponibilidad, mejor calidad posible, productividad optimizada.

La complejidad de los diseños de los productos actuales apenas era imaginable hace unos pocos años y la mayoría de las tarjetas de circuito incluyen microprocesadores con periféricos, módulos de memorias y ASIC. El número de ASIC en una placa es de dos a diez, integrando de unos miles a decenas de miles de puertas; a menudo incluyen módulos com-

pilados (memoria, ALU, máquinas de estados lógicos, etc.) diseñados y suministrados por diferentes fabricantes.

Asumiendo aquellos objetivos estratégicos y dada la complejidad de los productos a desarrollar, Alcatel CIT ha creado una metodología que reduce el número de ciclos de trabajo de depuración asignando los máximos recursos a la etapa inicial de diseño.

Esta metodología se basa en:

- el uso sistemático de la simulación lógica de control para comprobar que el circuito realiza las especificaciones (simulación buena) y para controlar la eficacia las secuencias de prueba insertando fallos (simulación de fallos)
- el desarrollo concurrente por los mismos equipos de las placas y los ASIC
- la simulación de los ASIC en el entorno de la placa: simulación simultánea de los ASIC y de otros componentes de la placa
- el diseño en dos etapas: una funcional y puramente de comportamiento y otra eléctrica que consiste en la realización física de las funciones
- la especificación de los requisitos de pruebas, tanto para la placa como para el ASIC, desde la etapa inicial del diseño funcional.

Esta metodología se realiza en un proceso de tres fases como se muestra en la Figura 1.

Fase de especificación

En la primera fase, el diseñador identifica que función va a realizar el sistema y como es la mejor realización (uso de

Figura 1
Diagrama de flujo
común para ASIC y
placas.

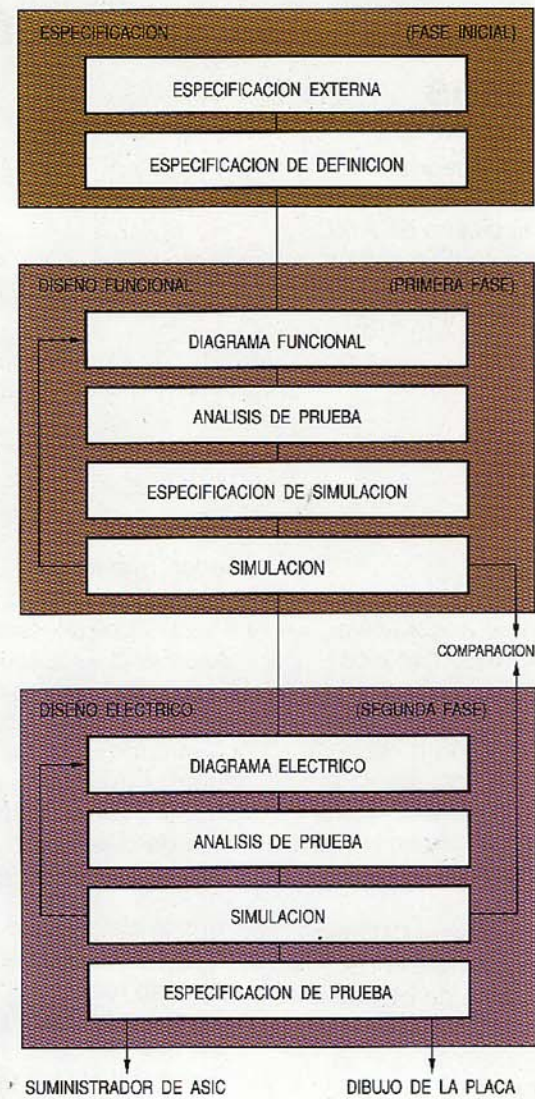
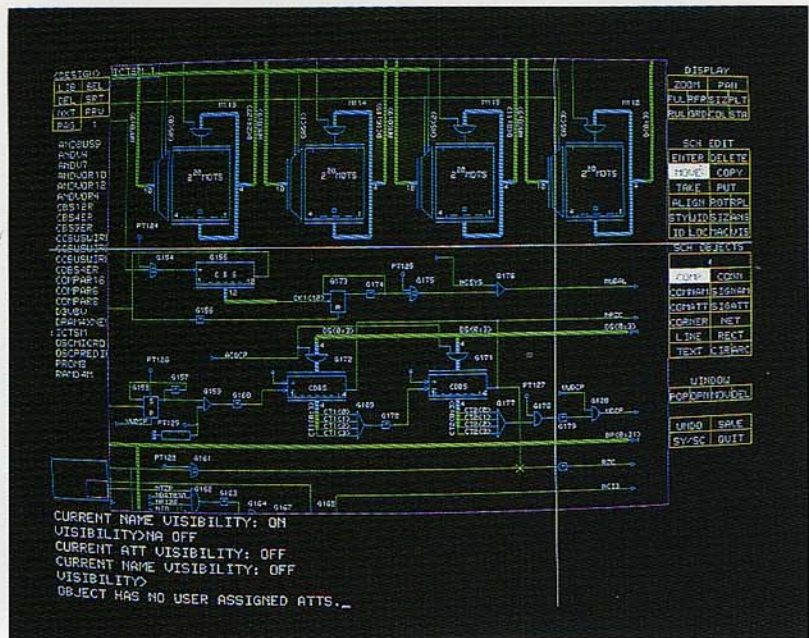


Figura 2
Diagrama de bloques
funcional de un
diseño de circuito
lógico.



componentes software y/o hardware, ASIC, etc.). Esto supone dar a conocer las especificaciones funcionales del sistema, y definir las funciones componentes del sistema basadas en las diferentes especificaciones.

Esta fase conduce a:

- una descripción general de la organización y de la arquitectura por las especificaciones del sistema
- unas especificaciones de definición de las placas y los ASIC
- una especificación de la simulación que describe las verificaciones necesarias (entorno, estímulos, etc.)
- una especificación de pruebas detallando las pruebas y las medidas a tomar en la placa o en el ASIC por la prueba funcional.

Fase de diseño funcional

Definición de los diagramas de bloques

La segunda fase del diseño comprende principalmente la creación de un diagrama de bloques funcional (Figura 2), lo que supone el uso de símbolos generales de macros (memorias de Kpalabras de n bits, registros, microprocesadores, HDLC, ASIC, etc.). Sobre el diagrama de bloques, se analizan las pruebas conjuntamente por el ingeniero de diseño y el de prueba, que son los responsables de definir la estrategia de pruebas de los ASIC y de la placa: interna, funcional o ambas.

El concepto de pruebas se basa en un conjunto de reglas diseñadas para hacer un producto verificable optimizando el desarrollo de los programas de pruebas. Estas reglas se dividen en tres categorías:

- particionar: división de las funciones complejas en otras más sencillas pero más fáciles de acceder y probar
- controlar: añadir puntos o estructuras para acceder al control de los nodos internos de las placas o componentes complejos
- observar: establecer caminos para seguir la prueba y añadir puntos de prueba.

Las técnicas de “muestreo periférico” (facilidades de prueba integradas) recientemente normalizadas se pueden incluir ya en nuestros procesos de desarrollo para facilitar el cumplimiento de aquellas reglas.

Simulación

La simulación funcional se realiza sobre una biblioteca de modelos independientes de la tecnología, descritos en el lenguaje de descripción funcional HDL.

Estos modelos, desde las funciones lógicas simples a las macrocélulas más complejas (sumadores, contadores, registros, memorias, etc.) son genéricos y tienen retardos unitarios asignados; por medio de un software especial se pueden particularizar para cada aplicación específica. Cada diseñador puede crear sus propias funciones si lo cree necesario.

Antes de particionar, la simulación se aplica a los ASIC, a las placas o al sistema.

En una tarjeta, ya está definida la división en ASIC y en componentes estándar; cada ASIC es tratado como una caja negra con su propia lista de interconexiones de los modelos funcionales; las funciones lógicas utilizan estos modelos funcionales; los componentes complejos (microprocesadores y periféricos) se modelan como *modelo rápido* del modelador hardware.

El modelador hardware utiliza el componente real para simular su comportamiento. Son posibles dos opciones: un modelo puramente de comportamiento, llamado *modelo rápido* o un modelo totalmente funcional que incluye las medidas de tiempo exactas de los catálogos.

Se realizan dos simulaciones: una simulación buena y otra de fallos

Fase de diseño eléctrico

Cuando los resultados de la simulación funcional cumplen las especificaciones, el diseñador comienza la fase de diseño eléctrico, desarrollando el ASIC en base a células componentes de la biblioteca del suministrador o diseñando la placa con componentes estándar. El ASIC y la placa se diseñan simultáneamente por el mismo equipo para que los ASIC se puedan probar en su entorno (Figura 3).

Las secuencias de la simulación funcional se repiten en la etapa de simulación eléctrica; se comparan automáticamente los resultados con los obtenidos en la etapa de simulación funcional. También se comprueban las temporizaciones mínimas, típicas y máximas.

Diseño eléctrico del ASIC

Creando un nivel de jerarquía adicional se convierte el diagrama de bloques funcionales del ASIC en símbolos del proveedor; por cada símbolo funcional de

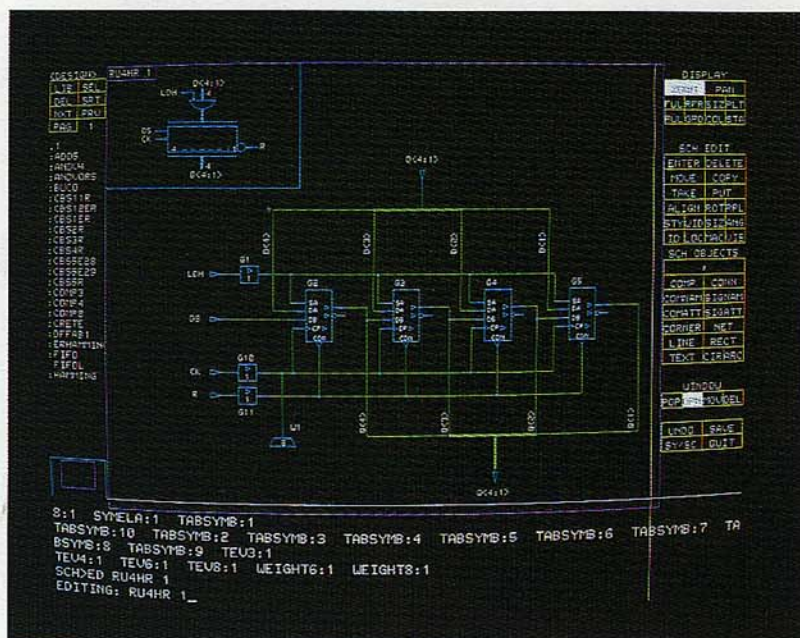


Figura 3
Vista parcial del diagrama eléctrico utilizado por el enrutador de placas.

Alcatel CIT, se crea un diagrama usando células componentes del suministrador de silicio.

Las herramientas de verificación de diagramas de suministrador disponibles para las bases de datos (verificación de las reglas eléctricas, preanotación, etc.) se utilizan para asegurar que se cumplen las reglas de diseño.

La simulación se realiza utilizando modelos proporcionados por el suministrador.

Los fallos también se simulan utilizando las mismas secuencias de pruebas desarrolladas en el nivel funcional. Los resultados de cobertura de fallos son muy similares, variando sólo unos pocos puntos de porcentaje. Estas secuencias de prueba se verifican utilizando una herramienta de prueba del suministrador para asegurar que cumplen los requisitos del aparato de prueba.

Diseño eléctrico de la placa

Un diagrama del circuito eléctrico de la placa se desarrolla convirtiendo, de acuerdo con las reglas tecnológicas, los elementos del diagrama de bloques funcional en módulos físicos (microprocesadores, memorias, HDLC, ASIC, componentes de interfaz, osciladores). La simulación eléctrica utiliza una biblioteca de modelos de componentes creada internamente.

Hace seis años se decidió crear esta biblioteca propia en la que se introdujeron medidas de tiempo acordes con tiempos normalizados en Alcatel CIT. Hoy, la biblioteca contiene más de 500 modelos, muchos de los cuales son modelos soft-

ware escritos en HDL; los más complejos, como los microprocesadores, son modelos hardware que incluyen detalles de tiempos y permiten su ejecución por software.

Como para los ASIC, se pueden reutilizar los datos de la simulación del diseño y producir el programa de prueba de la placa; esto requiere también la introducción de restricciones asociadas al aparato de pruebas de las placas, como las limitaciones en frecuencia y en tiempos.

El programa de prueba se desarrolla a partir de los resultados de la simulación, volviéndose a usar otra vez la simulación de fallos para asegurar una buena cobertura de fallos y que, generalmente, conduce a secuencias de pruebas repetidas.

Ganancia en productividad y prestaciones

Ahora se aplica esta metodología a todas las placas nuevas diseñadas por la división de conmutación pública de Alcatel CIT. En la foto de abajo se muestra la complejidad usual de una de estas placas, que incluye:

Elementos normalizados:

- microprocesador 68030
- circuito periférico multifunción 68901
- procesador de multiprotocolo 68302

ASIC de Alcatel CIT:

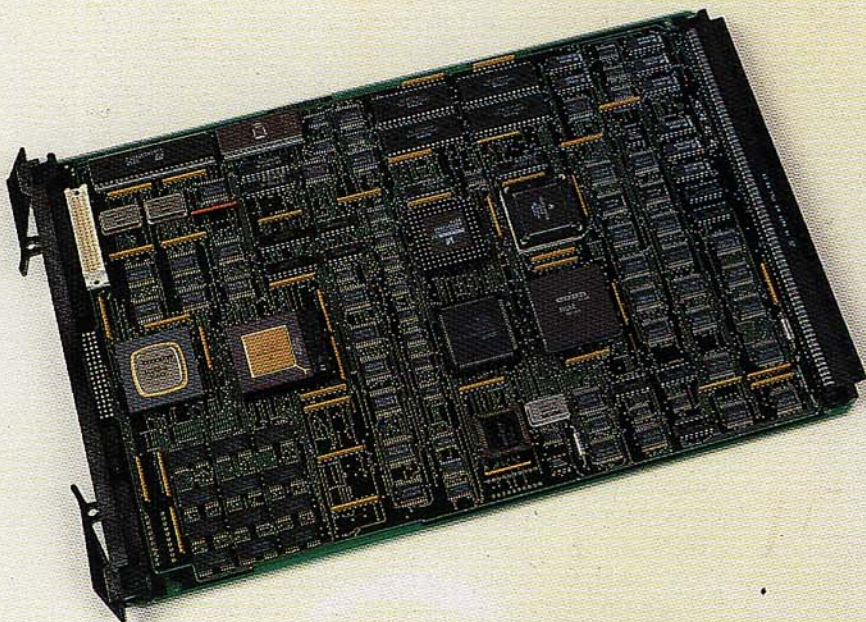
- matriz de puertas AGCRD de 1,2 μm y 2700 puertas
- matriz de puertas AGDEC de 1,5 μm y 2000 puertas
- matriz de puertas XBUS2 de 1,2 μm , 4000 puertas y 4K de RAM
- matriz de puertas AGLOC de 1,5 μm y 600 puertas
- matriz de puertas AGZEC de 1 μm , 4000 puertas y 4K de RAM.

Hasta hace pocos años, el número de interacciones por placa era superior a tres, lo que llevaba a una complejidad menor. Ahora, el número de interacciones ha descendido a una media de 1,7 y se espera llegar a 1,3.

Otra ventaja importante es el tiempo que se emplea en la depuración del primer prototipo, que es actualmente de unos pocos días o un mes a lo sumo.

Conclusiones

Esta metodología, aplicada en particular al diseño de ASIC y placas para el subsistema de control y conexión del OCB283 de las centrales digitales Alcatel 1000 E10, ha aumentado significativamente la productividad.



Vista superior de la placa de control OCB283 (Alcatel 1000 E10): ICTSM, controlador principal de acceso MIC.

Se han podido obtener prototipos de gran calidad en el primer proceso al diseñar los ASIC en el entorno del sistema; el proceso de diseño a nivel funcional permite realizar segundas fuentes rápidamente. El diagrama funcional también se puede utilizar cuando hay cambios de tecnología.

La simulación de la placa, que tiene en cuenta los datos del ASIC, reduce significativamente el número de versiones. El aplicar la metodología ASIC a las placas ha permitido que los datos de diseño y, en particular, los datos de pruebas para el uso en simulación sean óptimos.

La aparición de nuevas herramientas de diseño (síntesis lógica), de nuevos lenguajes estándar (VHDL*) y, en la primeras fases del proceso, de utilidades de especificación del sistema potencian el método de diseño de arriba a abajo. Este método, que ya se ha probado con herramientas convencionales, da pie a esperar nuevas mejoras de productividad en la definición y diseño del producto.

Bibliografía

- 1 Bill Harding: System simulation assures that chips play together. *Computer Design*, Agosto 1989.
- 2 Richard Goering: Modelling strategies simplify board-level simulation. *Computer Design*, Marzo 1988.

- 3 Art de Sena: Solutions begin to surface for linking board design and test. *Computer Design*, Marzo 1988.
- 4 Roger Ball: Point of view. *New Electronics*, Noviembre 1990.
- 5 J. Hauri, Y. Samoel, J-P. Posloux, C. Kubiak: Evolution in digital switching systems, Alcatel E10 Enhancement Program: *Commutation & Transmission*, nº 1, 1989.
- 6 M-L Le Gac, M. Ruvoen, Y. Samoel: A new step for Alcatel E10: OCB283 connection and control: *Commutation & Transmission*, nº 2, 1991.

Jean Claude Larreur se graduó en Ecole Catholique des Arts et Métiers (ECAM Lyon). Se incorporó a Alcatel CIT en 1972 como ingeniero de pruebas. Participó en el diseño de aparatos de pruebas de placas para la compañía. Desde 1986, el Sr Larreur está comprometido en la optimización de la producción de programas de prueba para tarjetas lógicas.

Marie-Josée Martin se graduó en INPG (Institut National Polytechnique de Grenoble). Comenzó a trabajar en circuitos de microondas y más tarde en CAD para circuitos integrados en el Centre National d'Etudes des Télécommunications (CNET). Se incorporó a Alcatel CIT en 1982, donde se dedica a CAD electrónico para ASIC y placas.

* VHDL: Very high speed integrated circuit hardware description language.

Circuitos integrados para el sistema de transmisión submarina S560

Fabricar sistemas de comunicación por fibra óptica, y en particular con los requisitos rigurosos que exigen los que se destinan a operación submarina, precisan un control exhaustivo de las técnicas y tecnologías empleadas. Los circuitos integrados en el núcleo del sistema realizan funciones clave para su apropiado funcionamiento.

M. Campese

J.-Y. Fourrier

G. Bourret

Alcatel CIT, Villarceaux, Francia

Introducción

El sistema S560 de Alcatel es un sistema de transmisión submarina que usa fibras ópticas monomodo para transmitir una señal bidireccional a una velocidad de 4×140 Mbit/s. El cable consta de tres pares de fibras ópticas que proporcionan una capacidad total de 23040 circuitos de 64 Kbit/s ó 48 canales de televisión. El espaciado entre repetidores de 130 km se consigue por medio del uso de un fotodiodo de avalancha detector en el receptor. La línea S560 completa tiene alrededor de 7500 km de longitud.

A los repetidores se les han impuesto rigurosos requisitos de calidad: no deberán necesitar mas de tres reparaciones a lo largo de toda su vida, estimada en 25 años. La reparación de un equipo sumergido requiere de una cantidad considerable de herramientas y mano de obra, por lo que para reducir el tiempo de reparación cada repetidor tiene un módulo de supervisión que controla la calidad de transmisión, aislando rápidamente las secciones defectuosas del repetidor. Los repetidores están alimentados por medio de un hilo de cobre inserto en el propio cable. El término "repetidor" se refiere al equipo sumergido en su totalidad y consta de tres pares de regeneradores unidireccionales de 4×140 Mbit/s. Cada línea consta de dos regeneradores unidireccionales y un dispositivo supervisor. Una característica especial del código de línea empleado permite la transmisión de información de supervisión entre el terminal y el repetidor.

El regenerador (Figura 1) incluye un módulo receptor que consta de un circuito preamplificador y circuitos de control

automático de ganancia (CAG). La conversión óptico-eléctrica de la entrada se lleva a cabo mediante un fotodiodo de avalancha. Las dos salidas del CAG se conectan a un circuito de recuperación del reloj basado en un filtro acústico de ondas de superficie y a un circuito de decisión y supervisión de HF, que es el núcleo del regenerador. La señal eléctrica se aplica después a uno de los dos transmisores (un circuito), activándose el otro sólo en el caso de que falle el primero. Un quinto módulo (un circuito) proporciona la señal de baja frecuencia resultante de la unión formada por dos regeneradores de direcciones opuestas. Este artículo describe estos seis circuitos integrados de aplicación específica.

Tecnología

Los circuitos integrados del sistema S560¹ se han construido tomando como punto de partida la experiencia acumulada en los últimos diez años por los equipos de diseño y tecnologías del laboratorio de ingeniería submarina del CIT, particularmente a partir del desarrollo de la anterior generación de sistema de comunicación por fibra óptica, el S280². También ha contribuido el desarrollo de sistemas de comunicaciones por fibra óptica basados en tierra y que cubren un amplio margen de velocidades de transmisión desde 34 a 2500 Mbit/s.

Para fabricar los circuitos analógicos de alta frecuencia y los circuitos integrados lógicos se usa la tecnología DIFOX 1A/B, que es una mejora de la tecnología DIFOX 1, empleada con ante-

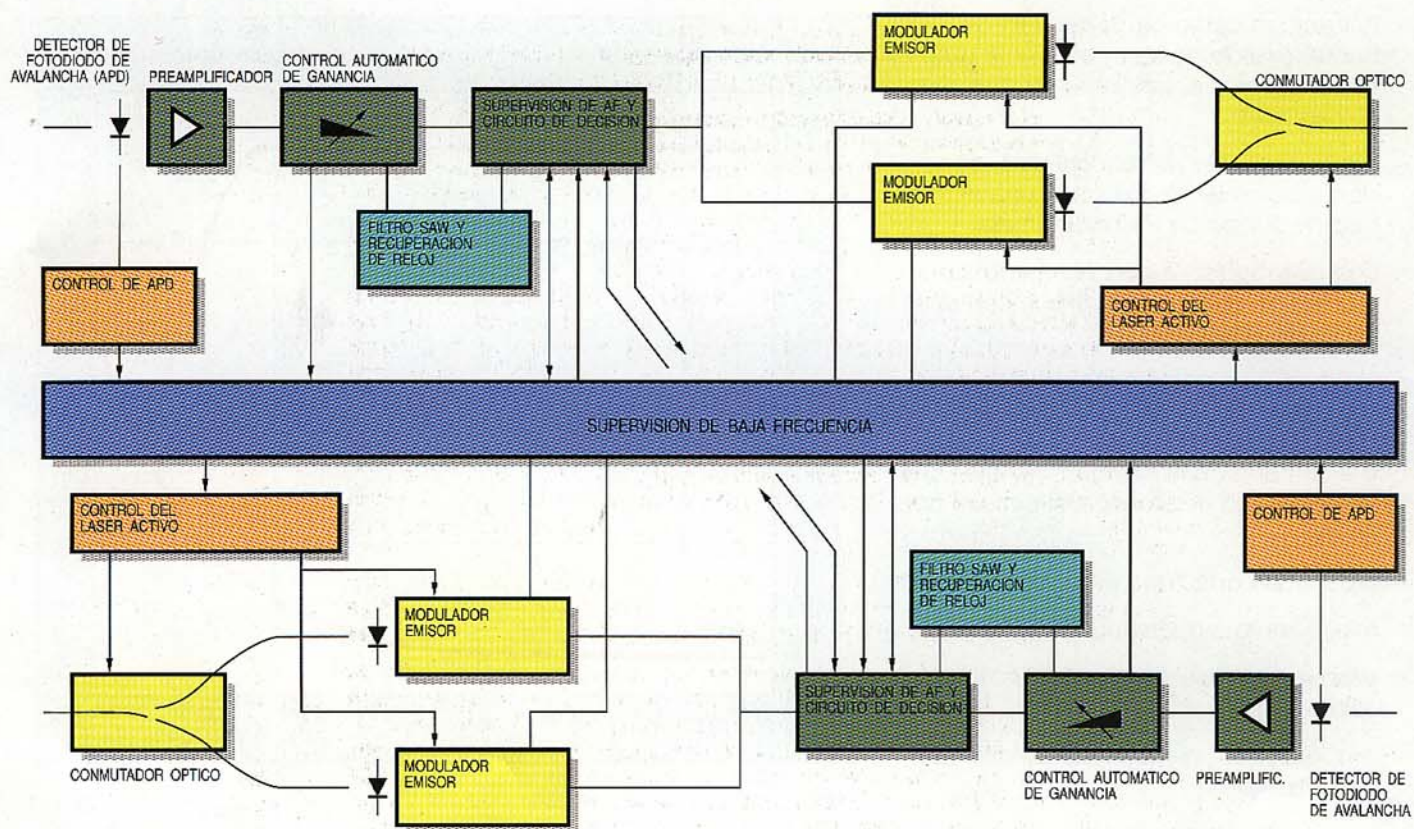


Figura 1
Diagrama de bloques
del sistema repetidor.

rioridad en el sistema S280^{3,4}. Sus características principales son las siguientes:

- tecnología bipolar ECL de alta velocidad
- estructura de transistores autoalineada por implantación iónica
- tamaño característico del orden de la micra (límite de 1 μm , con 1,5 μm de valor estándar)
- aislamiento por capa enterrada de óxido
- pasivación superficial por medio de nitrato de silicio
- sistema de metalización basado en oro con dos niveles de interconexión
- protección final mediante nitrato de silicio.

La tecnología ha sido mejorada en tres aspectos esenciales: densidad de integración, relación velocidad/consumo y márgenes de fiabilidad.

Densidad de integración

Se han reconsiderado tanto las reglas de diseño como las etapas clave del proceso de fabricación para reducir la anchura de la línea de 2 μm a 1 μm , al tiempo que se disminuye el porcentaje de defec-

tos que, como en cualquier tecnología, limitan el rendimiento de fabricación y la eficacia eléctrica.

Compromiso velocidad/consumo

El compromiso entre la velocidad de operación y el consumo se ha optimizado realizando mejoras en la tecnología del silicio, las reglas de diseño y el encapsulado:

En el área de tecnología se ha empleado tecnología de micra tanto en los contactos como en los espacios entre metales sobre transistores, desarrollando la variante de alta ganancia (HFE entre 100 y 200) DIFOX 1B para circuitos analógicos críticos (preamplificador, CAG, recuperación del reloj).

En el área de las reglas de diseño, se ha proporcionado un aislamiento efectivo por medio de:

- conexiones eficaces del sustrato con la parte superior de los circuitos
- conexiones del sustrato bajo los circuitos, mejoradas mediante un cuidadoso laminado de oro
- el uso de capas enterradas N+ en forma de anillos de guarda, que junto a las conexiones con el sustrato supe-

rior actúan como pantallas y filtros frente al ruido de alta frecuencia que se introduce por las líneas de alimentación.

- condensadores de alta calidad, densidad y aislamiento que usan una estructura de sandwich P+/nitruro/metal 1
- una distribución de las líneas de alimentación en forma de árbol, con el fin de evitar interferencias.

En el área de encapsulado, se han definido paquetes de 16, 32 y 44 terminales de tipo cerámico "chip carrier", en los que el tamaño de la cavidad coincide perfectamente con el tamaño del circuito con el fin de:

- reducir la capacidad entre conductores
- minimizar la inductancia en los cables
- proporcionar aislamiento local sobre la capa delgada
- proporcionar un excelente aislamiento del sustrato
- conseguir una baja resistencia térmica
- proporcionar compatibilidad con la tecnología de montaje superficial.

El resultado es que los pares diferenciales trabajan perfectamente hasta una velocidad de 1000 Mbit/s con un consumo de corriente inferior a 2 mA/puerta.

Márgenes de fiabilidad

En tecnologías ECL de alta velocidad, el factor principal de degradación a largo plazo es la electromigración, es decir la migración ó fuga de átomos de la interconexión de metal en la dirección de la corriente a través de pistas con densidad alta de corriente, en las cercanías de puntos calientes. Las reglas de diseño y esquemas tienen por objeto evitar este problema. La densidad de corriente está limitada, por diseño, a $3,0 \times 10^5 \text{ A cm}^{-2}$ en el metal del emisor del transistor (donde la densidad de corriente es mayor) y a $2,5 \times 10^5 \text{ A cm}^{-2}$ en el resto del circuito. La tecnología también ha sido optimizada para cubrir las diferentes etapas, suministrando:

- mejora planar de las etapas
- mejora en el proceso de ataque del metal
- desarrollo de un proceso para los contactos entre metal 1 y metal 2 proporcionando conexiones mas reducidas, con un diámetro inferior a $2 \mu\text{m}$, con bordes suavizados

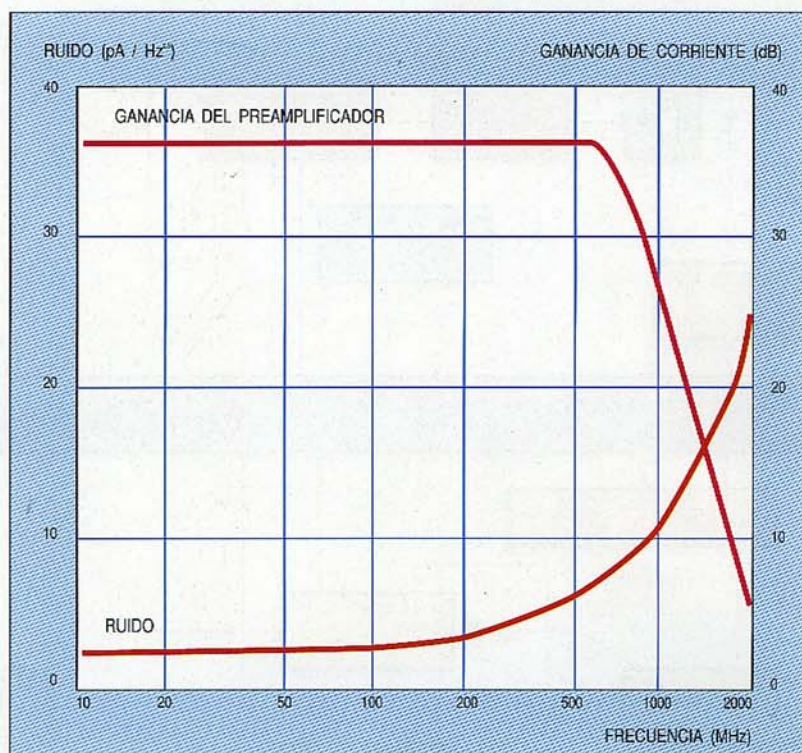
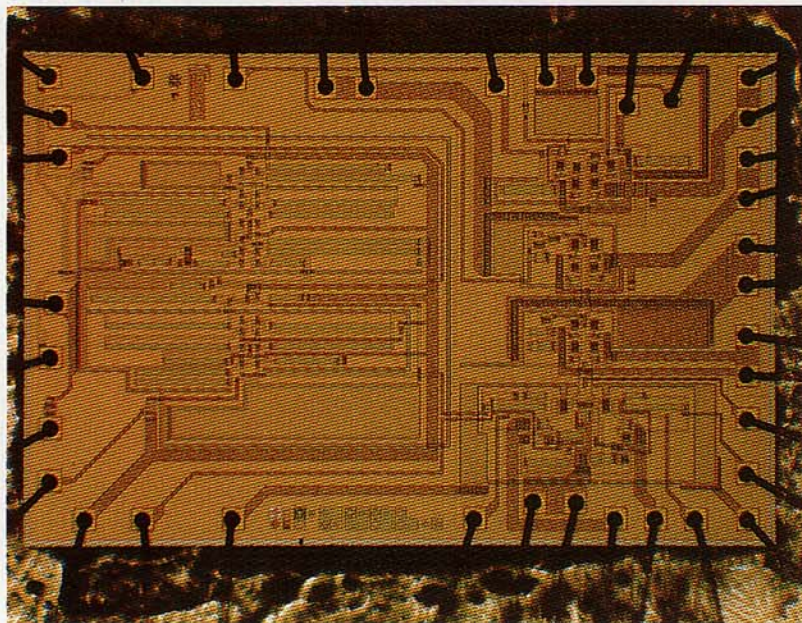


Figura 2
Características de ganancia y ruido del preamplificador.

- mejor comportamiento del baño de oro (usado para engrosar la capa de metal 2 y como relleno de las conexiones entre metales)
- mejora en el proceso de aislamiento entre metales (metal 1/metal 2), mediante la deposición en forma de plasma de una capa de dieléctrico.

Además, la superficie del circuito, en cuanto al silicio se refiere, se ha hecho pasiva por medio de una capa, puesta al vacío, de nitruro de silicio. Finalmente, los circuitos integrados se protegen de

Circuito de control automático de ganancia.



nuevo con un película de nitruro de silicio contra agentes químicos y mecánicos externos.

En el diseño se han tomado precauciones para proteger las entradas/salidas contra las descargas de electricidad estática. La filosofía de selección de circuitos integrados cumple las tres prácticas ordinarias del CIT:

- una oblea es considerada como un único lote
- una prueba de calidad de aceptación dirigida a 15 transistores preseleccionados sujetos a dos períodos de 15 horas consecutivos a unas temperaturas $T_j = 300$ y 320°C
- una prueba de calidad de aceptación lote a lote realizada sobre 15 circuitos integrados y que consiste en una prueba de operación acelerada de 2×125 horas a $T_j = 200^\circ\text{C}$.

Para pasar las pruebas de cada tipo de circuito integrado, estas son continuadas durante un mínimo de 2000 horas. Como anécdota, vale la pena señalar que en una generación anterior de circuitos integrados, la prueba tuvo que ser interrumpido después de 22000 horas debido a la oxidación del soporte de la herramienta de prueba.

La familia de circuitos

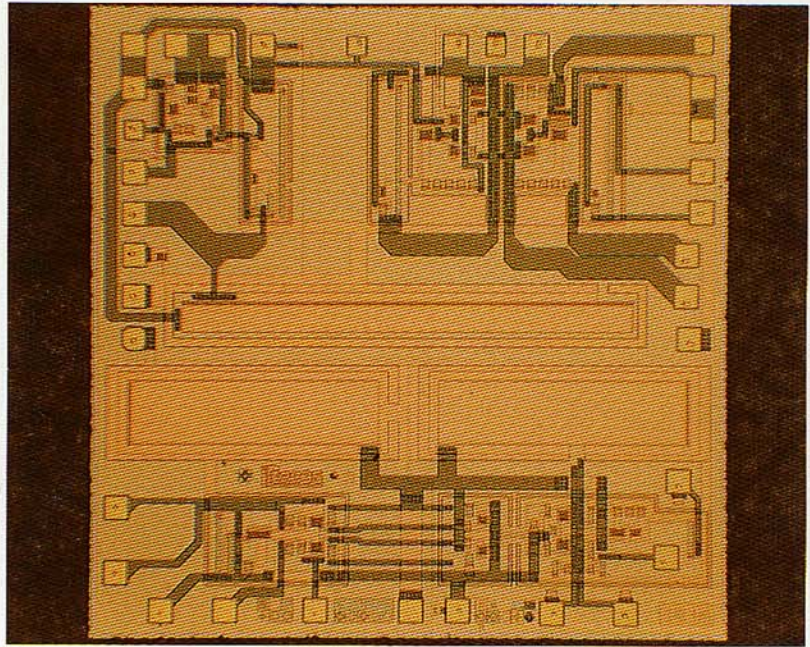
Preamplificador

Un fotodiodo de avalancha (APD) convierte la señal óptica en una señal eléctrica. La corriente es amplificada por medio de un preamplificador cuya principal característica es su muy bajo nivel de ruido. La combinación de un APD y un amplificador de muy bajo ruido proporciona la capacidad de detectar señales muy débiles a la entrada del repetidor, lo que conlleva el poder espaciar mas los repetidores.

El preamplificador es un amplificador de transimpedancia que es alimentado por corriente desde el fotodiodo de avalancha, ofreciendo una tensión analógica sobre una impedancia de 50 ohmios. La capacidad total equivalente de entrada es un parámetro crítico ya que el ruido aumenta con la frecuencia como se aprecia en la siguiente expresión que relaciona la corriente de ruido y la frecuencia:

$$i^2 = \frac{4kT}{R_1} \times (1 + \omega^2 R_2 C_T^2)$$

donde k es la constante de Boltzman, T es la temperatura absoluta, R_1 y R_2 son equivalentes a resistencias que depen-



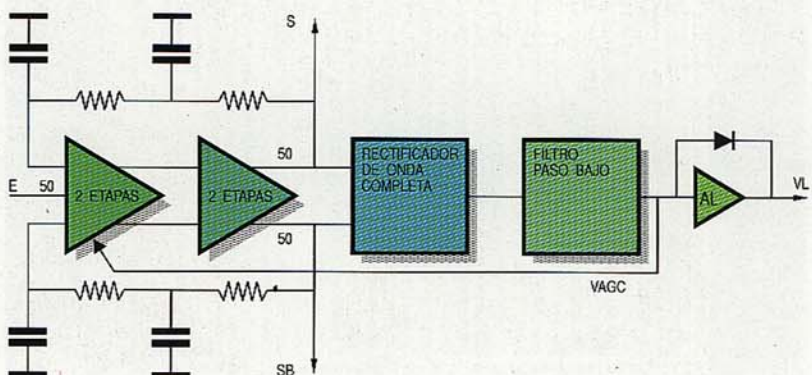
Circuito de recuperación de reloj.

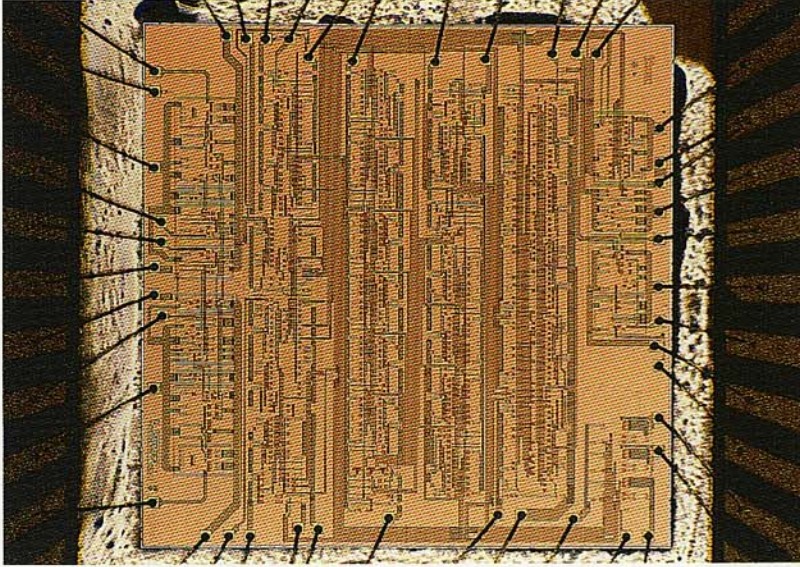
den de la tecnología y el circuito, C_T es la capacidad de entrada total y ω es la frecuencia.

Para minimizar el ruido, se trató de conseguir una ganancia de corriente lo más alta posible (H_{FE}) ya que el factor R_1 se incrementa con H_{FE} . Se han logrado ganancias de 200 con la tecnología DIFOX 1A/B. Se demostró, por medio de cálculos de optimización y cuidadosas simulaciones eléctricas en SPICE, que la mejor estructura para el transistor de entrada corresponde a un emisor con dos bandas de $30\text{ }\mu\text{m} \times 1,0\text{ }\mu\text{m}$. La densidad espectral del ruido paso bajo equivalente es inferior a $4\text{pA}/\sqrt{\text{Hz}}$ (Figura 2).

La etapa de entrada funciona como un seguidor de emisor. Le sigue una etapa de adaptación de impedancias y otra etapa amplificadora que proporciona una compensación en frecuencia a fin de conseguir una respuesta tan plana como sea posible. El valor de la resistencia de realimentación es de 7 kohmios.

Figura 3
Diagramas de
bloques del circuito
de control automático
de ganancia.





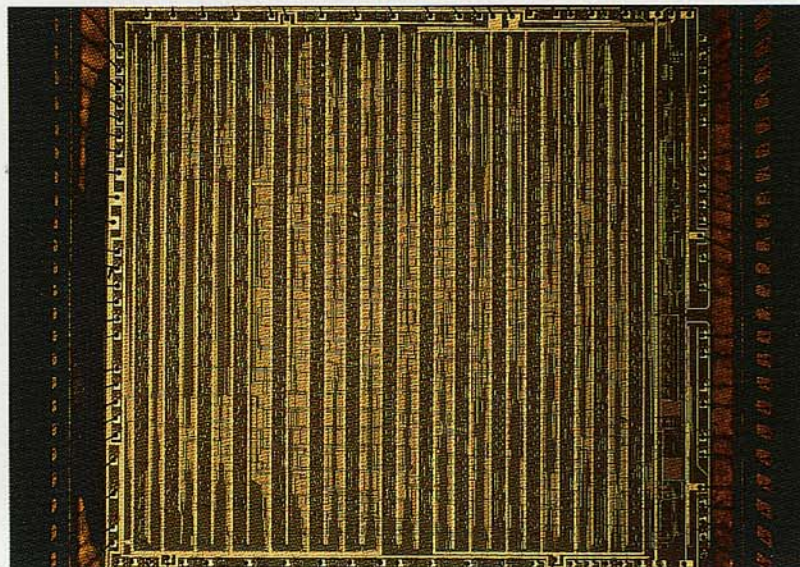
Circuito de decisión y supervisión HF.

Circuito de control automático de ganancia (CAG)

La amplitud de la señal eléctrica procesada por el preamplificador puede variar con la atenuación del cable de ida, la eficacia eléctrica del fotodiodo de avalancha, etc.. Para conseguir una regeneración óptima es necesario tener una amplitud fija y sin distorsión de la señal. Esta es la función del circuito de CAG mostrado en la Figura 3. La amplificación en alta frecuencia se realiza por medio de cuatro etapas diferenciales en cascada: dos con ganancia variable y otras dos con ganancia fija. Las ganancias de las dos primeras etapas se controlan variando la corriente total que circula por el par diferencial por medio de una fuente de corriente.

Puesto que el margen dinámico requerido es de 42 dB y la ganancia máxima en

Circuito de supervisión de baja frecuencia.



tensión puede ser de hasta 45 dB se hace necesario la introducción de mecanismos de compensación de desplazamiento. Esto se lleva a cabo aplicando en la etapa de entrada una parte del nivel de continua de las salidas S y SB, después de un filtrado a través de una red RC. Un filtro paso-bajo que sigue a un puente rectificador de onda completa genera la tensión del CAG aplicada a las etapas de alta frecuencia. Las dos salidas S y SB se terminan en impedancias de 50 ohmios y proporcionan una tensión de pico de 300 mV.

El circuito también incluye un amplificador logarítmico usado como elemento de supervisión. El amplificador logarítmico convierte la tensión de control en una tensión V_L que varía linealmente con la ganancia de la etapa de alta frecuencia.

Circuito de recuperación del reloj

El reloj se recupera a partir de la señal principal, ya que no se transmite de un modo independiente. Ello es posible debido a la codificación y aleatorización de la señal NRZ transmitida. El espectro de NRZ, sensiblemente plano hasta una frecuencia de 400 MHz, contiene componentes para reconstruir la energía espectral a la frecuencia de 591,2 MHz, cuando la señal sufre un procesado no lineal. El espectro de energía a esta frecuencia se obtiene empleando un filtro en diente de sierra (SAW) que no solo tiene un Q (factor de mérito de 800) alto, sino que también presenta atenuaciones que alcanzan los 20 dB. Es necesario, por tanto, amplificar y limitar la señal de salida a una amplitud razonable (400 mV de pico).

En la etapa de trazado ha de ponerse especial cuidado en el aislamiento de alta frecuencia, ya que a tales frecuencias se producen corrientes espúreas en el sustrato. Estas corrientes pueden ser eliminadas utilizando masas denominadas "masas de colector". En la parte central del circuito (ver Fotografía) se distinguen tres grandes condensadores de desacoplo aislados mediante anillos de guarda que separan eléctricamente las dos partes del circuito.

Circuito de decisión y supervisión de alta frecuencia

Este circuito regenera la señal digital y proporciona otras funciones lógicas de procesado. La señal de entrada al repetidor es débil y tiene fluctuación de amplitud y fase con un diagrama de ojos, característico de la transmisión de banda ancha. El circuito de decisión se fundamenta en el uso de un comparador muy

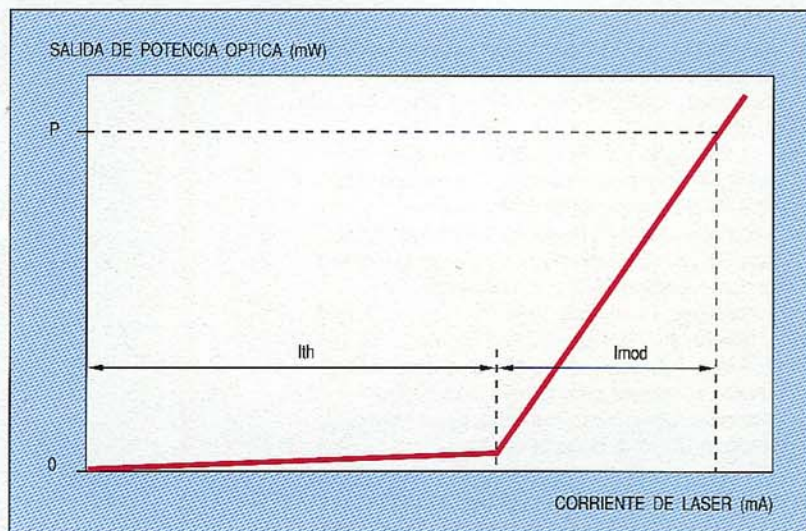
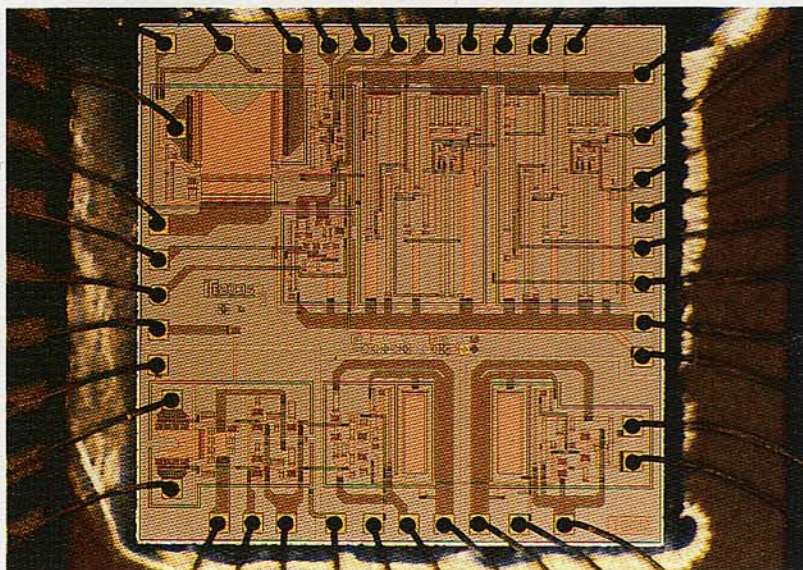


Figura 4
Características
luz/corriente del láser
transmisor.

sensible seguido de un biestable de tipo D. El comparador tiene una sensibilidad superior a los 10 mV y se constituye como un excelente discriminador en amplitud. El biestable elimina la fluctuación de fase cuando el nivel alto del reloj leído se encuentra en el centro del diagrama de ojos. Para ajustar este reloj se usa un retardador ajustable externo. La subida del nivel alto del reloj puede variar hasta en un 45% el período de bit alrededor del punto óptimo sin que se produzca una tasa de error excesiva. El área de incertidumbre tiene una anchura de 140 ps.

Cada trama consta de 24 bits de señal y un bit de paridad que se usa tanto para medir la tasa de error como para llevar información de supervisión y mantenimiento entre el terminal y el repetidor. Una vez detectado, este bit de paridad puede ser violado para transmitir información al ter-

Circuito transmisor.



minal. El recuento del número de violaciones del bit de paridad constituye un buen estimador de la tasa de error.

Por medio de un comando de realimentación, un tren de bits puede redirigirse al circuito de decisión de la dirección de transmisión contraria, a fin de realizar pruebas en bucle cerrado desde el terminal.

Circuito de supervisión de baja frecuencia

La frecuencia máxima de trabajo de este circuito es de 24 MHz. Se ha preferido emplear tecnología bipolar en vez de CMOS debido a que los mecanismos de fallo de aquella son más conocidos.

El circuito combina una parte analógica con funciones lógicas. La parte analógica consta, básicamente, de un convertidor analógico-digital de 4 bits. Este convertidor digitaliza las tensiones de supervisión que permitan supervisar, secuencialmente, la corriente del fotodiodo de avalancha, la ganancia del CAG y la corriente del láser. La parte que contiene las funciones lógicas se compone de 1500 puertas e incluye las siguientes funciones:

- reconocimiento de los mensajes que el terminal envía al repetidor
- control de las acciones en respuesta a dichos mensajes (puesta en bucle cerrado, conmutación de láser, etc..)
- generación de las respuestas a las preguntas que el terminal realiza acerca de los parámetros que son supervisados.

La tecnología bipolar estándar no es apropiada para soporte de lógica a baja frecuencia y la tecnología I^2L se descartó debido a que usa corrientes laterales por debajo de la superficie. Se ha empleado un tipo especial de puerta lógica con el objeto de minimizar el consumo total: puertas del tipo CML (*current mode logic*) con histéresis para obtener una mayor inmunidad frente al ruido. La técnica conocida como "puertas en serie" se usa para los biestables, siendo el consumo de corriente inferior a 50 microamperios por puerta.

Circuito transmisor

El circuito transmisor controla el láser de la salida del repetidor, el cual se encarga de convertir la señal eléctrica en una señal óptica.

La curva característica del láser aparece en la Figura 4. Mientras la corriente en el láser no supera un cierto umbral I_{th} , la potencia óptica emitida es reducida. Este umbral depende de la temperatura y su

valor puede variar con el tiempo. La corriente adicional I_{mod} sigue a la señal modulando, por tanto, la señal óptica.

Funciones del circuito transmisor:

- proporciona la corriente continua I_{th} (de 10 a 90 mA) que se controla por la potencia media medida a partir de un fotodetector que se encuentra detrás del láser
- proporciona una corriente de modulación controlada por la información de tensión de pico tomada del mismo fotodiodo
- supervisa la corriente I_{th} a partir de una tensión que es proporcional al valor de aquella
- bloquea la corriente I_{th} cuando se cambia de láser.

Un conmutador óptico controlado por el módulo de supervisión selecciona el módulo transmisor activo.

Conclusiones

La tecnología DIFOX 1A/B se ha optimizado para desarrollar los seis circuitos integrados empleados en líneas de comunicación submarina a 560 Mbit/s. Este juego de circuitos integrados cumple los estrictos requisitos necesarios en ese tipo de aplicaciones.

Basada en experiencias pasadas se está desarrollando una tecnología bipolar avanzada (GIGABIP 1⁴) junto con reglas de diseño y métodos de caracterización asociados con esta tecnología, para preparar el desarrollo de una nueva generación de sistemas de comunicación submarina a 2500 Mbit/s. Además, se está realizando trabajo de investigación y desarrollo al objeto de conseguir en el futuro un sistema de comunicación submarina de alta velocidad, mediante el empleo de amplificadores ópticos.

Referencias

- 1 J.-P. Trezeguet: Sistema óptico submarino de telecomunicación S560: *Comunicaciones Eléctricas*, 1989, volumen 63, nº 3, págs 231–239.
- 2 H. Brzozowski, G. Bourret, J.-Y. Fourier, J.-L. Lemonde y A. Pelet: S280 Repeater and Major Components: *Subtopic Conference*, 1896, 18 a 21 de Febrero, Versalles, Francia.
- 3 J.-Y. Fourier y J.-Y. Pestle: A Very High Reliability Fast Bipolar IC Technology for Use in Undersea Optical Fiber Links: *Journal of Lightwave Technology*, Diciembre 1984, Volumen LT.2, nº 6.
- 4 J. Brierre, J.-C. Cadène, J.-Y. Fourier, J.-M. Thillez, D. Tribet: Circuitos integrados bipolares fiables de alta velocidad para transmisión a larga distancia: *Comunicaciones Eléctricas*, 1987, volumen 61, nº 4, págs 396–403.

Michel Campese nació en Lyon, en 1952. Se graduó en la Ecole Supérieure d'Electricité en París en 1975. En 1976 se incorporó a Alcatel-CIT como ingeniero de diseño de circuitos integrados. En 1982 fue nombrado director del Grupo de diseño de circuitos integrados para el departamento industrial. Desde 1988 el Sr Campese es director de la sección de integración de circuitos electrónicos en la división de Transmisión de Alcatel-CIT.

Jean-Yves Fourier nació en Pau, en 1949. En 1974 obtuvo el Doctorado en Electrónica por la Université Paul Sabatier, en Toulouse. Después de trabajar durante siete años en el Centro de investigación de Alcatel Alsthom, en las áreas de diseño, desarrollo y modelado de transistores bipolares de microondas, se incorporó a Matra Harris en 1979. El Dr Fourier ha sido líder en áreas de desarrollo y caracterización de la tecnología CMOS. Desde 1983, el Dr Fourier es director de la Unidad FOCUSS-CSO de la división de Transmisión por Cable de Alcatel.

Gérard Bourret nació en París, en 1943. Se graduó en la Ecole Supérieure de Mécanique et d'Electricité como técnico senior, completando sus estudios en el Conservatoire National des Arts et Métiers, en París. En 1967 se incorporó a Alcatel como técnico en el equipo de diseño de repetidores analógicos submarinos (S5-S12-S25). En 1977 fue nombrado adjunto al director del equipo de diseño y desarrollo de repetidores. En 1985 fue nombrado director del mismo equipo para el desarrollo de los sistemas por fibra óptica S280 y S560. El Sr Bourret es, en la actualidad, director de diseño y desarrollo de los futuros sistemas submarinos con amplificadores ópticos.

Mietec Alcatel: Diseño y proceso VLSI

La tecnología de gran escala de integración (VLSI) es estratégica para una compañía de telecomunicación que necesita componentes de vanguardia. Mietec Alcatel suministra circuitos integrados de aplicación específica tanto a compañías Alcatel como a otras industrias. La compañía tiene una gran experiencia en tecnologías CMOS y BICMOS y ofrece extensas bibliotecas de células estándar.

H. Casier

Alcatel Mietec, Bruselas, Bélgica

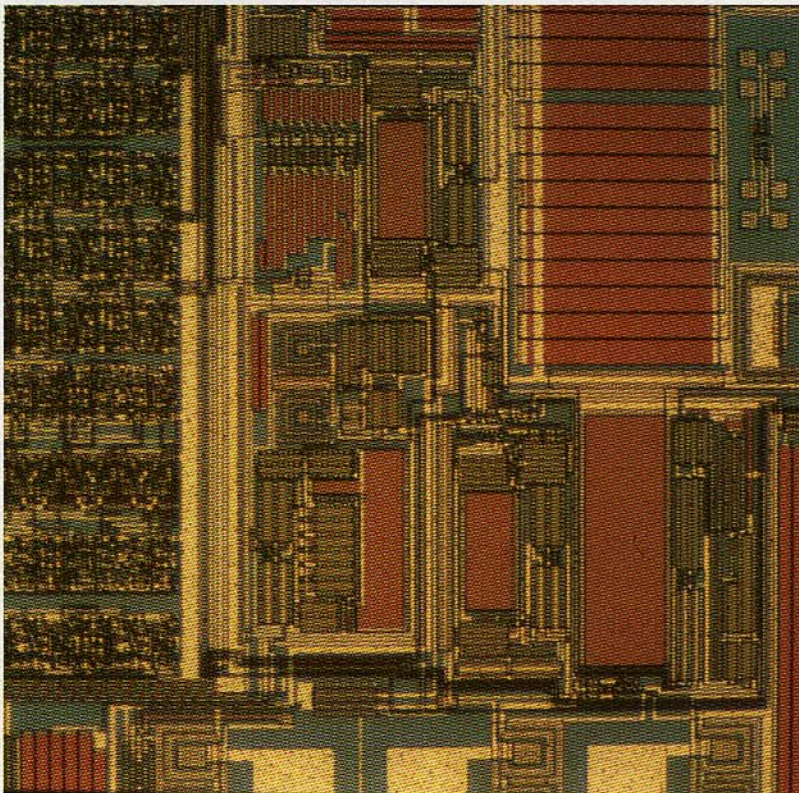
E. Laes

Alcatel Mietec, Oudernaarde, Bélgica

Introducción

En enero de 1990, Alcatel adquirió el 100% de las acciones de Mietec, integrando de esta forma una compañía estratégica de microelectrónica dentro del Grupo. Mietec Alcatel es la compañía europea líder en circuitos integrados diseñados con biblioteca de células, suministrando a sus clientes tecnologías avanzadas, bibliotecas de células estándar, herramientas de diseño asistido por ordenador y asistencia al diseño, incluyendo la ayuda al desarrollo de células analógicas especiales.

Funciones analógicas y digitales combinadas en el mismo circuito.



Las tecnologías ofrecidas por Mietec Alcatel cubren una amplia variedad de aplicaciones, desde circuitos integrados de alto voltaje para tarjetas de interfaz a línea hasta circuitos analógicos digitales muy avanzados de baja potencia y circuitos integrados digitales para uso en todos los nuevos productos de transmisión, terminales y en la nueva generación de centrales de conmutación.

Además de las bibliotecas de células, Mietec Alcatel ha potenciado el sistema de diseño de Alcatel, incluyendo facilidades de diseño mixto analógico-digital, mediante el desarrollo para tal fin de herramientas especiales de ayuda por ordenador, complemento de las herramientas comerciales sobre las que está basado el sistema de diseño VLSI. La compañía ha sido una de las primeras en Europa en ofrecer a sus clientes los programas de ayuda por ordenador para la simulación de auténticos circuitos mixtos analógico-digitales.

Tecnologías

Mietec Alcatel se ha concentrado en la tecnología CMOS (de 3, 2, 1,5 y 1,2 micras) para aplicaciones de baja potencia y alta densidad y en la BICMOS:

- BICMOS, que combina las mejores características de las tecnologías CMOS y bipolar en un mismo silicio, con optimización para aplicaciones de alto voltaje (70V)
- SBICMOS, tecnología de uso general optimizada para diseño basado en biblioteca de células



Producción de obleas
(fundición).

- DBIMOS, proceso mejorado que incluye transistores PDMOS y NDMOS con protección hasta 100V.

CMOS

Además de las ya no tan recientes tecnologías de Mietec Alcatel (3, 2 y 1,5 micras), se ha introducido en 1990 la CMOS mas avanzada de 1,2 micras. En la actualidad su dimensión característica se está reduciendo hasta las 0,8 micras.

El proceso central para aplicaciones digitales es un proceso CMOS de doble pozo de 1,2 micras que dispone de una capa de silicio policristalino y dos de metal. Como se indica en la Figura 1, el proceso necesita doce etapas de fotolitografía en la fabricación de estos dispositivos. La operación a alta velocidad de estos dispositivos se consigue mediante la utilización de un proceso de autoalineado de doble pozo, que permite la optimización independiente de los transistores PMOS y NMOS. También se minimizan, mediante este proceso, las capacidades de unión. La velocidad de operación todavía puede aumentarse sustituyendo la puerta de polisilicio (silicio policristalino) por una doble película de polisilicio y sili-

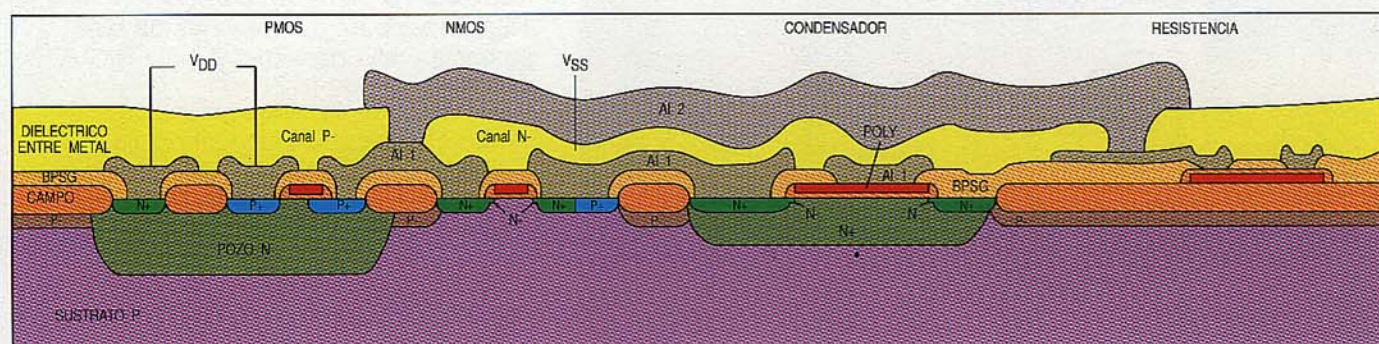
ciuro (policiuro) que tiene una resistividad ocho veces menor.

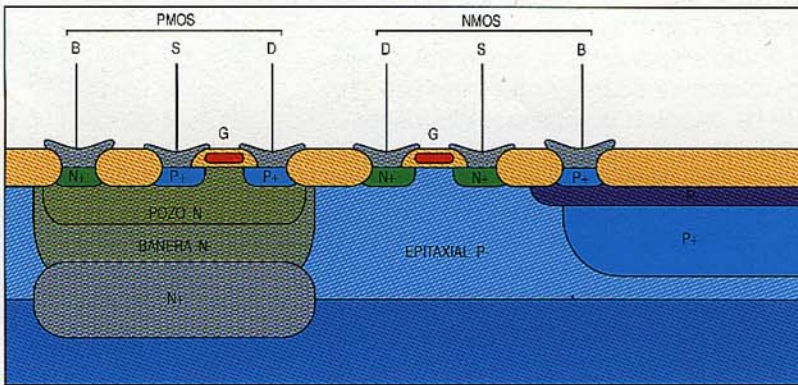
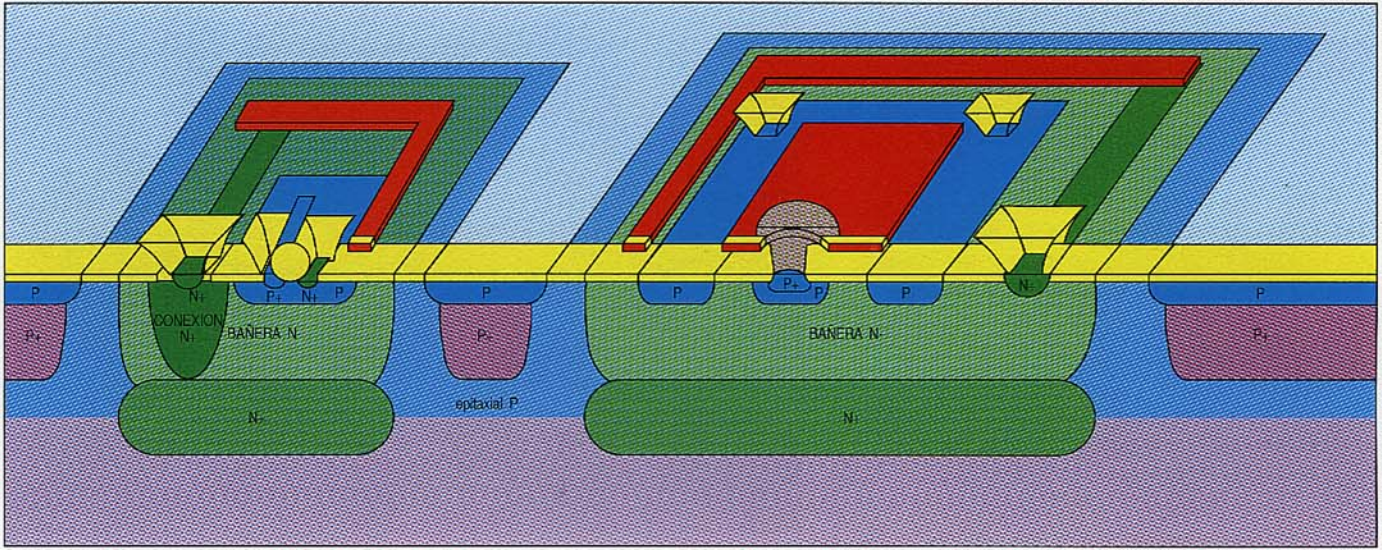
Esta tecnología se caracteriza por disponer de un óxido delgado de puerta de 225 Å, lo que permite que los transistores tengan una alta transconductancia y por lo tanto una gran capacidad de manejar corriente. Los transistores NMOS son del tipo LDD (drenador ligeramente dopado), lo que asegura una mínima degradación de los parámetros del transistor debido a la inyección de electrones calientes. Debido a que los transistores PMOS tienen el canal enterrado y son inherentemente menos susceptibles a la inyección de electrones calientes (el factor de multiplicación por avalancha de huecos es tres ordenes de magnitud menor que el de electrones), se usa una estructura de dispositivo convencional para los transistores PMOS. El aislamiento entre los transistores activos se realiza mediante el uso de técnicas avanzadas de oxidación local. La combinación de una película de óxido delgado con una gruesa capa de nitruro de silicio produce una pequeña prolongación por "pico de ave", lo que minimiza los efectos debidos a canal corto.

Se han conseguido altas densidades de integración mediante un sistema avanzado de doble capa de metalización. Ambas capas están formadas por una aleación de aluminio (AlSiCu) que proporciona una buena resistencia a la electromigración. Una buena técnica de grabado y una baja densidad de defectos en la segunda capa de metalización son solamente posibles si la orografía subyacente es llana (superficie superior plana sin valles). El proceso de allanamiento se basa en una película de SOG (cristal centrifugado). El SOG líquido es una solución polímera de dióxido de silicio. Se recubre la oblea con una película delgada de SOG, que después se solidifica, mediante un proceso de curado, y deja la orografía subyacente uniforme y llana.

La versión del proceso CMOS de 1,2 micras para aplicaciones mixtas ana-

Figura 1
Sección de un
dispositivo CMOS
producido con
tecnología de 1,2
micras.



**Figura 2**

(a) Sección de la parte CMOS de un dispositivo DBIMOS.

(b) Sección de la parte bipolar de un dispositivo DBIMOS.

lógicas/digitales parte de un proceso digital básico al que se le añaden tres módulos de proceso extra. Cada uno de dichos módulos adicionales de proceso consta de un paso fotolitográfico, por lo que el proceso completo para la versión analógica/digital alcanza quince pasos. Estos módulos no cambian ninguno de los parámetros eléctricos o estructurales de los dispositivos obtenidos con el proceso digital básico. El primer proceso adicional proporciona una tensión de umbral superbaja ($-0,7V$) para el transistor PMOS comparado con la tensión umbral de $-1,0V$ del transistor PMOS del proceso digital. En el segundo módulo para procesado analógico se forman condensadores de precisión entre el polisilicio dopado con n^+ y el silicio implantado con n^+ disponiendo de $450 \text{ \AA}$ de óxido dieléctrico térmico. Estos condensadores se caracterizan por un pequeño coeficiente de tensión (2 ppm/V) y una relación de apareamiento muy precisa, que los hace especialmente adecuados para aplicaciones tales como filtros por capacidades

conmutadas y compensación en frecuencia de amplificadores operacionales.

Finalmente, el tercer módulo permite el proceso de resistencias de alto valor óhmico en polisilicio mediante la implantación de este último; su resistividad es de $2 \text{ K}\Omega/\text{cuadrado}$, y ofrece un factor de apareamiento mejor que $0,5\%$. Mietec Alcatel ha invertido un considerable esfuerzo en la caracterización de los parámetros para diseño analógico de este proceso, tales como factor de apareamiento, ruido, efectos de temperatura y parásitos.

BICMOS

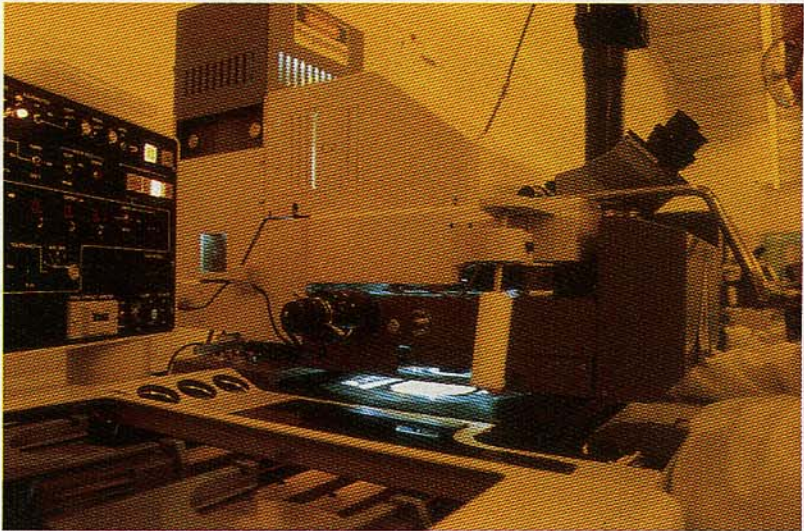
Una incorporación reciente a la familia BICMOS ha sido la DBIMOS que es un proceso nuevo de alto voltaje (hasta $100V$) basado en el proceso SBIMOS de $40V$ (células estándar BIMOS), que ha estado en producción durante tres años. La tecnología DBIMOS amplía el margen de voltaje del SBIMOS mediante la incorporación de transistores DMOS de alto voltaje tipo n y tipo p . El resultado es una

tecnología que combina las características de los transistores DMOS de alto voltaje, los dispositivos CMOS, los transistores bipolares, las resistencias de precisión y los condensadores en un único silicio.

A continuación se describe, de forma resumida, la estructura del proceso de la tecnología DBIMOS. Las diferentes capas que la componen se pueden ver en las figuras 2a y 2b, que muestran una sección transversal de los dispositivos activos.

Se forma una capa enterrada tipo *n* altamente dopada para disminuir la resistencia en serie del transistor *nnp* y para asegurar una buena inmunidad frente al autocebado, que consiste en una amplificación de corriente, no controlada, originada por una inyección de corriente en dispositivos bipolares parásitos. Una gruesa capa epitaxial tipo *p* contiene todos los dispositivos activos. Se realizan dos difusiones profundas diferentes tipo *n*: una bañera tipo *n* para dispositivos bipolares y un pozo *n* para los dispositivos PMOS; ambas se optimizan independientemente una de otra. La implantación base tipo *p* es el último proceso específico de los transistores bipolares; las siguientes etapas son estándar CMOS. Solamente se utiliza una capa de polisilicio en este proceso. El emisor de los transistores *nnp* utiliza la misma implantación que la fuente y el drenaje de los transistores MOS tipo *n*; una técnica similar se utiliza para los transistores PMOS y *pnp*.

Un proceso con doble metalización se utiliza para interconectar los dispositivos. Los transistores CMOS tienen una longitud mínima de puerta de 3 micras. La tensión de alimentación permitida para el CMOS puede variar entre 5 y 15V. Más aun, ambas características de salida de los transistores NMOS y PMOS son completamente lineales hasta los 11V, lo que



Producción de obleas (fotolitografía).

permite utilizar el proceso en una amplia gama de aplicaciones analógicas.

Están disponibles también transistores bipolares verticales *nnp* y laterales *pnp*. Se ha añadido un colector altamente dopado con gran capacidad de corriente a los transistores verticales bipolares *nnp* para conseguir una baja resistencia serie de colector. La máxima tensión de alimentación para los transistores bipolares es de 40V, a pesar de que el voltaje de ruptura colector-emisor con la base cortocircuitada al emisor (BVCEs) es mayor de 80V. El voltaje de Early de los transistores *nnp*, a través de la caracterización de la conductancia de salida, es típicamente de unos 250V, lo que representa una característica atractiva para el diseño de circuitos analógicos.

Existen tres tipos de resistencia de polisilicio disponibles (todas formadas a partir de una misma capa de polisilicio): polisilicio muy resistivo (2000 Ω /cuadrado), polisilicio medianamente resistivo (100 Ω /cuadrado) y polisilicio poco resistivo (25 Ω /cuadrado). El factor de apareamiento entre las resistencias de polisilicio

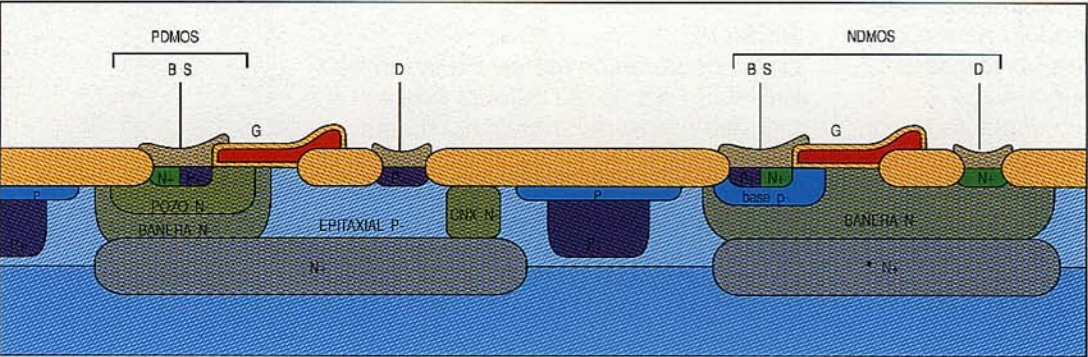


Figura 3 Sección de un transistor DMOS.

muy resistivas es mejor que el 0,25%. Todas estas resistencias son independientes del voltaje.

Se pueden obtener condensadores de precisión entre el polisilicio poco resistivo y el colector-sumidero tipo n^+ mediante un dieléctrico de óxido térmico. El máximo voltaje a través de estos condensadores es 40V en el proceso estándar y de 80V utilizando una máscara extra.

La clave del proceso DBIMOS son los transistores DMOS (Figura 3). Ambos transistores DMOS tipo p y n presentan una tensión de ruptura mayor de 100V. La resistencia típica de conducción del transistor NDMOS es de $2 \Omega \cdot \text{mm}^2$. Ambos tipos de transistores DMOS están a un potencial flotante respecto al sustrato, lo que a menudo hace posible reducir el tamaño del cuadrado de silicio y ofrece una mayor flexibilidad en el diseño.

Bibliotecas de células estándar

Debido a que las bibliotecas de células estándar de Alcatel Mietec se utilizan como elementos de construcción por nuestros diseñadores y clientes, deben ser robustas y libres de errores. Por lo tanto, estas células no solamente han sido simuladas sino que cada una ha sido procesada en silicio y ampliamente caracterizada antes de ser incorporada en la biblioteca correspondiente. Esto requiere una gran cantidad de trabajo, que solamente puede justificarse para aquellas que tengan una gran probabilidad de ser reutilizadas por los diseñadores. Algunas células o subsistemas analógicos, diseñados a lo largo de los proyectos, no garantizan esta reutilización y no son incorporadas a las bibliotecas. Estas células no son procesadas separadamente, sino que su funcionalidad y especificaciones se comprueban indirectamente a través de los resultados del proyecto. Esta información se mantiene en un inventario aparte de células estándar.

Biblioteca CMOS para 2,0 micras

Se han diseñado numerosos circuitos integrados en esta tecnología, que data de los primeros tiempos de diseños mixtos analógicos digitales de Mietec Alcatel. Como resultado, se ha adquirido una considerable experiencia en el diseño mixto. La biblioteca contiene un conjunto completo de células digitales básicas, células de entrada/salida con anchura normalizada, y células de entrada/salida con anchura mínima. También se dispone de

compiladores para RAM y ROM estáticas, y de matrices lógicas programables.

La biblioteca básica de células analógicas contiene desplazadores de nivel, referencias de tensión tipo banda de guarda, amplificadores, comparadores, multiplexores, reguladores de tensión, osciladores de cristal y del tipo RC, detector de paso por cero, etc.. Los amplificadores operacionales ofrecen una variedad de especificaciones en potencias, anchura de banda, ruido y etapa de entrada NMOS y PMOS. De forma similar, los comparadores ofrecen una variada especificación en etapas de entrada NMOS y PMOS así como diferentes relaciones velocidad/ consumo. Las células analógicas básicas están disponibles a dos niveles de voltaje: de 3 a 7V y de 3 a 12V; las células digitales solamente están disponibles en el margen de 3 a 7 voltios.

Además, la biblioteca contiene convertidores analógico/digital y viceversa aparte de un compilador de filtros, de altas prestaciones, por capacidades conmutadas. Este compilador se utiliza rutinariamente para realizar filtros de orden superior (10 a 20) en frecuencias de hasta 100 kHz con márgenes dinámicos mayores de 70 dB. Operan con tensiones de alimentación de 3 a 12V y con fluctuaciones de señal hasta los 0,2V de su nivel de alimentación. El factor máximo de Q es alrededor de 50. El condensador unidad es de 0,25 pF. Para un factor Q menor de 10 y una relación entre frecuencia de señal y de reloj inferior a 10 el área de silicio es solamente de 0,25 mm² por etapa. También se ofrecen filtros para suavizado

Figura 4
Esquema de un amplificador operacional de bajo ruido BLOALN.

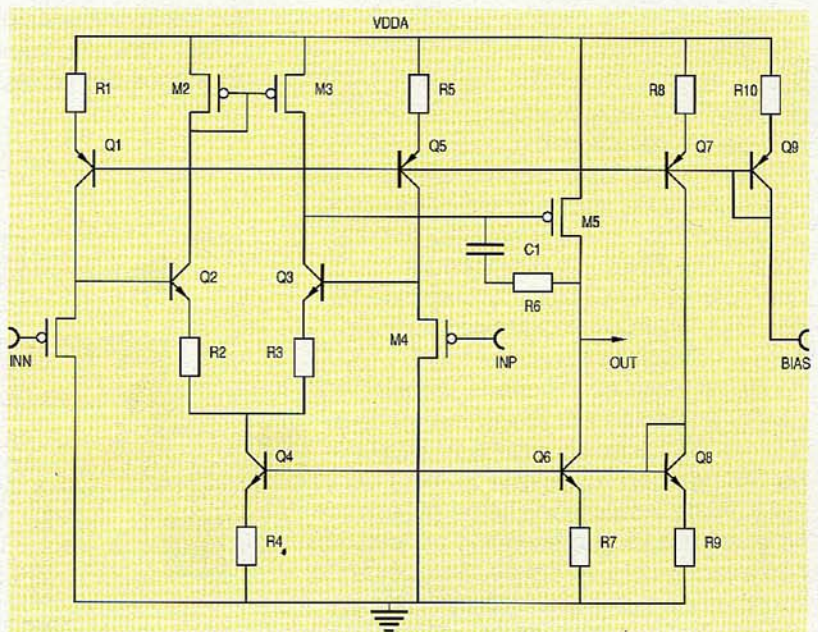


Tabla 1 – Amplificador operacional de bajo desplazamiento BFOALO

TENSION	4.5 TO 40 V
CORRIENTE	< 750 μ A
Vos	< 1 mV
Ios	< 15 nA
Ibias	< 30 nA
GANANCIA CC	120 dB típicos
CMRR	120 dB
PSRR	100 dB
GANAN. ANCHO BANDA	1 MHz
TASA DE PENDIENTE	0.75 V / μ s
CORRIENTE SALIDA	-3.0 TO +3.0 mA

Tabla 2 – Características de un amplificador operacional de bajo ruido BLOALN

ENTRADAS MOS	
TENSION	4.5 TO 18 V
CORRIENTE	1 mA típica
Vos	< 1 mV
CIN	< 12 pF
GANANCIA CC	> 90 dB
CMRR	> 70 dB
PSRR	> 70 dB
GANAN. ANCHO BANDA	2 MHz
TASA DE PENDIENTE	1 V / μ s
RUIDO TERMICO	8 nV / $\text{Hz}^{1/2}$
FRECUENCIA DE CODO (ruido 1/f)	100 Hz

de la señal y *anti-aliasing* de segundo orden dentro del circuito.

En el inventario se dispone de ejemplos de células y de subsistemas tales como un convertidor analógico/digital autocalibrado de 12 bits, un amplificador operacional para ataque a carga de 50 ohmios y un multiplicador de precisión para medidas de consumo.

Este proceso constituye la tecnología CMOS analógica del programa europeo "Eurochip". Dicho programa promovido por Acción para Diseño VLSI, está dentro del ESPRIT y su organización proporciona una variedad de servicios a instituciones académicas europeas. Se ofrecen servicios de fabricación de circuitos en obleas multiproyecto varias veces al año.

Biblioteca CMOS para 1,2 micras

Esta biblioteca contiene un conjunto completo de células básicas digitales y de entrada/salida para operación a 5V. Hay disponibles compiladores para RAM, ROM y PLA. Varios diseños de Alcatel han sido realizados utilizando esta biblioteca.

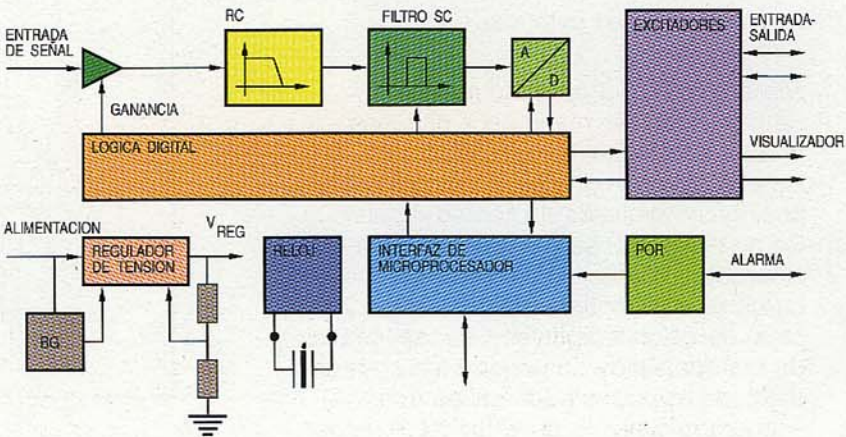
La biblioteca básica analógica está siendo actualmente caracterizada y se encontrará disponible cuando se publique este artículo. No solamente contiene funciones analógicas similares a aquellas ya probadas en la biblioteca de 2 micras (referencias de tensión tipo banda de guarda, comparadores, amplificadores operacionales, osciladores RC y de cristal), sino también comparadores diferenciales y amplificadores operacionales diferenciales.

El compilador de filtros por capacidades conmutadas se beneficiará de la mayor anchura de banda del proceso CMOS de 1,2 micras y de la utilización de estructuras diferenciales. También los filtros para suavizar la señal o del tipo anti-aliasing serán más precisos y mucho más pequeños al utilizar resistencias de polisilicio muy resistivo.

Se está dedicando un considerable esfuerzo al desarrollo de un conjunto de conversores A/D y D/A basados en diferentes principios: sigma-delta, RSD (dígito con signo redundante) cíclico, aproximaciones sucesivas (con autocalibración y matriz C segmentada) y estructuras en escalera de resistencias (R/2R). La mayor parte de este trabajo se está llevando a cabo en colaboración con institutos europeos de investigación y universidades dentro de los proyectos ESPRIT, JESSI, investigación belga, y otros contratos de investigación.

Las especificaciones preliminares muestran unos convertidores de 8 y 12 bits

Figura 5
Aplicación típica de un dispositivo BICMOS a 40V.

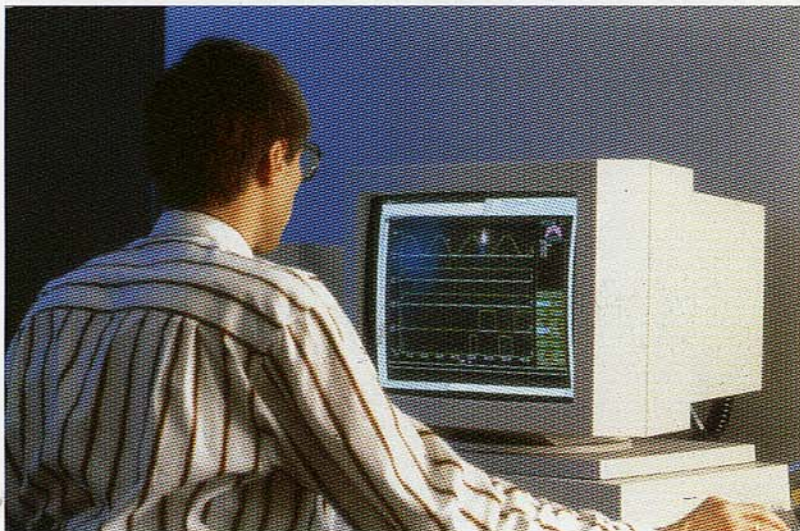


por aproximaciones sucesivas con tiempos de conversión inferiores a 5 y 20 microsegundos respectivamente. El convertidor cíclico se basa en un nuevo principio de conversión que también tiene el objetivo de 20 microsegundos para 12 bits, pero utiliza una menor área de silicio que el convertidor por aproximaciones sucesivas. Los convertidores sigma-delta se han diseñado para alcanzar la especificación de 96 y 84 dB de distorsión total armónica para una conversión de 20 y 200 kilomuestras por segundo respectivamente. La capacidad analógica de la tecnología CMOS de 1,2 micras queda perfectamente representada por el convertidor sigma-delta de cuarto orden y 500 kilomuestras/seg a 14 bits y por el amplificador de ganancia estable unidad^{1,2} completamente diferencial a 800 MHz.

Bibliotecas BICMOS

Las bibliotecas para SBIMOS y DBIMOS consisten, de nuevo, en células estándar con un conjunto mas limitado de células básicas digitales CMOS y células de entrada/salida para operación hasta 15V. Se están desarrollando actualmente células mas rápidas BICMOS a 5V. Con la utilización de herramientas de síntesis lógica en el sistema de diseño MADE se ha demostrado prácticamente que este conjunto limitado de células es tan eficiente como el basado en un conjunto completo de células. También hay células analógicas disponibles para dos márgenes de voltaje: hasta 18V y hasta 40V. Se destaca que las células bipolares de ataque soportan mas de 80V y que los transistores DMOS pueden trabajar hasta los 100V. Muchas de las células estándar de la biblioteca ofrecen especificaciones comparables con los circuitos integrados discretos de catálogo. Se pueden citar como ejemplos las especificaciones del amplificador de entrada bipolar de bajo desplazamiento (Tabla 1) y del amplificador de entrada CMOS de bajo ruido y baja capacidad de entrada (Figura 4 y Tabla 2).

Como en el caso de las bibliotecas CMOS, existe también un inventario de células diseñadas especiales que no están incluidas en la biblioteca BICMOS. Este inventario contiene células de altas prestaciones tales como circuitos de ataque de gran potencia con corrientes de pico por encima de 1 Amperio, un detector de fallo de lámpara para aplicaciones en automoción, y amplificadores operacionales de altas prestaciones para funciones especiales. Por ejemplo, la célula



Estación de trabajo para diseño VLSI.

para fallo de lámpara consta de un comparador especial de dos señales, varios voltios por encima de la alimentación del propio circuito integrado, con un voltaje de desplazamiento definido de 10mV. Esta célula es capaz de resistir las fuertes interferencias que se encuentran en las aplicaciones de automoción

Esta tecnología esta perfectamente capacitada para la integración de sistemas completos en un único circuito integrado (Figura 5). Combina una circuitería analógica de alta precisión con proceso de señal (filtro de capacidades conmutadas, convertidores analógico/digital) y salidas de potencia. Además queda espacio para incorporar otras funciones analógicas y varios miles de puertas lógicas.

Herramientas de diseño asistido por ordenador

El sistema MADE (Ingeniería digital y analógica de Mietec) proporciona un proceso de diseño completo y totalmente integrado basado en herramientas CAD de altas prestaciones dentro de un entorno de diseño flexible y abierto (EDGE). Entre estas herramientas están:

- segunda generación optimizada de síntesis lógica (SYNOPSYS)
- simulación lógica a nivel de comportamiento y de puerta (Verilog - XL/VHDL - XL), que utiliza HDL (lenguaje de descripción hardware) y VHDL (lenguaje de descripción hardware para VLSI)
- simulación analógica interactiva (ANASIM). Se basa en una versión mejorada del Spice 2G6 con nuevos modelos MOS y algoritmos avanzados para convergencia

- simulación mixta analógica/digital (MIXSIM). Permite la simulación del sistema completo. El programa combina modelos funcionales por pasos de voltaje/corriente con modelos de puerta controlados por eventos y una solución matricial tipo Spice
- simulación de fallos. Utiliza no solamente el modelo estándar de fijación de nodos sino el modelo de fijación a abierto mas útil.

Este sistema dispone de interfaz con varios equipos de pruebas digitales y analógico digitales para producción como el Sentry 20-21 y la serie Teradyne 300-500, usando programas especiales de interfaz y el lenguaje para pruebas y para simulación a alto nivel PGL*. Para la generación automática de estructuras regulares, existen compiladores de RAM, ROM, PLA, resistencias, filtros por capacidades conmutadas integrados en el sistema. Todos los compiladores corren en ambas tecnologías CMOS y BICMOS. Un programa de posicionamiento e interconexión automática (EDGE) permite que los diseñadores mezclen células estándar (digitales/analógicas) con bloques estructurados y/o macrocélulas. Para la verificación final se utiliza el programa DRACULA, que comprueba todas las reglas de diseño de la tecnología utilizada y realiza la comparación entre el esquemático original y el trazado gráfico.

La Figura 5 muestra un diseño de una célula estándar típica de alto voltaje que puede simularse y configurarse completamente en el sistema MADE.

JESSI (proyecto europeo con silicio submicra)

Mietec Alcatel es miembro activo del Equipo de Dirección para Tecnología del subprograma JESSI, donde se tratan los programas estratégicos en tecnología microelectrónica con otros representantes de la industria europea de semiconductores. La compañía colabora actualmente en dos proyectos importantes: en el Joint Logic Project, desarrollando la tecnología de 0,5 micras de nueva generación y en el Manufacturing Science and Technology Project.

Conclusiones

La capacidad de fabricación de silicio de Mietec Alcatel proporciona una gran parte de los ASIC para los sistemas de conmutación de Alcatel 1000 E10 y S12, Minitel, aparatos portátiles y móviles de abonado GSM, RDSI y tarjetas para líneas analógicas de PABX. Además, la compañía participa en los mercados correspondientes de los sectores de automoción, industria en general y de telecomunicación.

El centro de diseño en Bruselas y las instalaciones para fabricación en Oudenaarde (Bélgica) se mantienen al día en la evolución actual y ofrecen las tecnologías de vanguardia y las herramientas mas avanzadas de diseño.

La compañía es líder en circuitos integrados basados en células y ofrece experiencias y conocimiento al mas alto nivel en sistemas digitales y analógicos.

Referencias

- 1 F. Op't Eynde, G. Ming Yin, W. Sansen: A CMOS Fourth-order 14-bit 500 ksample/sec Sigma-Delta A/D Converter: *Proc ISSCC* 1991.
- 2 F. Op't Eynde, W. Sansen: A CMOS Wideband Amplifier with 800 MHz Gain-bandwidth: *Proc CICC'91*.

Herman J. Casier se graduó en Ingeniería electrónica en la Universidad Católica de Lovaina en 1970. Posteriormente trabajó como ayudante en la Universidad donde estuvo inicialmente involucrado en tecnología bipolar y posteriormente en modelado de dispositivos y diseños de circuitos integrados. Se incorporó a Barco como ingeniero senior de diseño de circuitos integrados y posteriormente fue responsable de nuevas tecnologías. En 1980 fue cofundador de la empresa de diseño Incir y responsable para el diseño a medida. En 1983 se incorporó a Mietec Alcatel en Bruselas donde es actualmente jefe de CAD y de diseño I+D.

Edgar Laes se graduó en la Universidad Católica de Lovaina en 1973 donde obtuvo un master en Ingeniería electrónica. Se incorporó al Laboratorio ESAT en Lovaina trabajando en el desarrollo de la tecnología LCD y NMOS, litografía por haz de electrones y procesos de grabados en seco. El Sr. Laes ha ocupado los siguientes puestos en Mietec Alcatel desde que se fundó la compañía en 1983: responsable de la línea piloto de fabricación, transferencia de nuevas tecnologías a la nueva fábrica de obleas y jefe de Ingeniería de procesos y rendimiento. Desde 1987 ha sido jefe de Ingeniería de tecnología con responsabilidad en la introducción de nuevas tecnologías.

En este número

Moons, E.; Op de Beeck, E.; Rabaey D.; Willocx E.

Circuito universal de alto voltaje de interfaz de línea de abonado en tecnología bipolar combinada CMOS-DMOS

Comunicaciones Eléctricas, volumen 65, nº2, págs 112-118

Al ser el circuito de línea de abonado un componente principal de las modernas centrales telefónicas, es esencial que ofrezca unas prestaciones óptimas y una alta calidad. Alcatel ha desarrollado una nueva generación de circuito de líneas usando tecnología VLSI del estado del arte, que ha dado como resultado un mayor grado de integración que posibilita el equipar 16 líneas de abonado por placa. El nuevo circuito de línea se basa en un circuito mejorado interfaz de línea de abonado que utiliza una fuente de alimentación conmutada y un modo especial de bajo consumo para minimizar la disipación de potencia. Otro objetivo del diseño fue cumplir los crecientes requisitos del mercado con un único dispositivo. Por ello se ofrecen diferentes modos de operación. También se ha tenido cuidado especial en reducir el ruido intrínseco y permitir la alimentación de líneas muy largas empleando una fuente de alimentación modo conmutado. Los autores describen como se han logrado estos objetivos empleando una tecnología que combina DMOS y bipolar de alto voltaje con CMOS de bajo voltaje y alta densidad.

Rabaey, D.; Wénin, J.; Dartois, L.; Dulongport, J.

Limitaciones tecnológicas en la integración (VLSI) de terminales de radio móvil digital

Comunicaciones Eléctricas, volumen 65, nº2, págs. 119-125

En 1991 se introdujo el sistema de radio móvil celular (GSM) paneuropeo, proporcionando canales de comunicación totalmente digitales para voz y datos. Desde el punto de vista del usuario, la transmisión móvil digital conlleva una gama de nuevos servicios. Sin embargo, desde el punto de vista del desarrollo, se han requerido importantes mejoras al nivel tecnológico. En el artículo se resaltan los retos más importantes a los que se ha enfrentado el equipo de diseño, desde el concepto inicial de arquitectura a las muestras finales de VLSI. La elección apropiada de la arquitectura, soportada por tecnologías CMOS en estado del arte y de proceso bipolar y por metodologías avanzadas de diseño ha llevado a una solución de integración máxima.

André, M.; De Roeck, G.; Van Koetsem, G.; Verbiest, R.

Diseño e introducción de MMIC de AsGa en los sistemas de telecomunicación

Comunicaciones Eléctricas, volumen 65, nº2, págs 126-130

En el pasado, la mayoría de los sistemas de telecomunicación por microondas han empleado la tecnología de microbanda híbrida en la construcción de subsistemas de microondas, como amplificadores de potencia de medio y bajo ruido, mezcladores y osciladores. Los avances recientes en la tecnología MMIC posibilita la integración de transistores, diodos, condensadores, bobinas y circuitos de adaptación en el mismo sustrato, con lo que se puede realizar un subsistema completo de microondas en un único circuito. Normalmente, este sustrato es de Arseniuro de Galio. Los autores resaltan algunos de los trabajos de desarrollo y diseño MMIC que se están realizando en Alcatel, y describen los resultados del diseño y de las medidas de diferentes circuitos MMIC: un amplificador de bajo nivel de ruido y un mezclador de rechazo de imagen para una sección de entrada de receptor en la banda de 14,25 a 15,35 GHz, y un amplificador de potencia de 1 vatio para la banda de 5,9 a 8 GHz.

Gerhardt, E.; Heidemann, R.; Pohlmann, W.; Schlag, E.

Circuitos integrados para transmisión a alta velocidad por fibra óptica

Comunicaciones Eléctricas, volumen 65, nº2, págs. 131-139

En la actualidad hay necesidad de circuitos integrados monolíticos de muy alta velocidad. Los sistemas actuales operan sobre 2,488 Gbit/s; El próximo nivel de velocidad de transmisión estará en los 10 Gbit/s. Los conjuntos de circuitos integrados que se han desarrollado para los sistemas de transmisión a 2,488 Gbit/s y 5 Gbit/s se basan en diseños hechos a medida. En la actualidad, se están desarrollando circuitos integrados de 10 Gbit/s. La realización de tales componentes requieren adecuados principios de diseño, diseños cuidadosos y bien modelados, y un adecuado esquema. El uso de avanzadas tecnologías bipolares de silicio submicra y de elaboradas técnicas de diseño, permiten el desarrollo de circuitos integrados monolíticos para sistemas de transmisión de 10 Gbit/s.

Guébels, P.; Voeten, B.; Elewaut, L.; Goubert, J.

Requisitos de tecnología VLSI para un video codec de velocidad variable en MTA

Comunicaciones Eléctricas, volumen 65, nº2, págs. 140-150

La disponibilidad en 1997 de videoterminales RDSI-BA basados en MTA es obligatoria para relanzar el creciente mercado inicial de los servicios de RDSI-BA. La llave es la máxima integración de los futuros terminales de video para reducir el volumen y coste. El artículo describe hasta que punto, la codificación de video de velocidad variable para MTA y los sistemas de transmisión ponen requisitos sobre la tecnología VLSI y, por contra, que limitaciones pone la tecnología VLSI a la integración del sistema. El reto es el diseño y producción de circuitos integrados VLSI video codec, que integren hasta 3,5 millones de transistores, que procesen pixels a 54 MHz. Estos circuitos VLSI, combinarán circuitería analógica y digital en el mismo dado de silicio (RAM, ADC y DCA).

Van Simaey, F.; Geromel, F.; Billy, J.C.; Sigloch R.; Briscoe, R.; Merino, J.; Burriel, R.

Diseño de arquitectura VLSI para productos JDS

Comunicaciones Eléctricas, volumen 65, nº2, págs 151-160

Las necesidades de los clientes están solicitando a la red telefónica mas variedad de características y mayor velocidad. La nueva red de transmisión sincrónica basada en la jerarquía digital sincrónica (JDS) ofrecerá una red de menor coste y mejores prestaciones, que se acoplará con las demandas de las diferentes clases de servicios. Alcatel está evolucionando hacia este nuevo equipo de red. Los autores resaltan los desarrollos ASIC actuales en una amplia gama de productos JDS de Alcatel, como los sistemas transconectores digitales de banda ancha, multiplexores terminales o de inserción y extracción y los equipos de línea. La implantación ASIC se muestra en base al particionado de la arquitectura y la modularidad de diseño.

Sadot, P.

Realización VLSI de códigos de corrección de errores

Comunicaciones Eléctricas, volumen 65, nº2, págs. 161-167

En el pasado, se ha probado que los códigos de corrección de errores son esenciales en el campo de transmisión de datos como un método económico para mejorar la sensibilidad del receptor, la capacidad del canal y la fiabilidad del enlace. Ahora, los complejos algoritmos de codificación y de decodificación de los códigos más eficientes se pueden implantar en altas velocidades de datos utilizando tecnología ASIC. Los autores describen las realizaciones ASIC de dos algoritmos de codificación-decodificación: un codec Viterbi a 34 Mbit/s, que cumple los estándares IDR, IBS y SMS de Intelsat/Eutelsat, consta de 75000 puertas; el otro es un codec Reed-Solomon, que también trabaja a 34 Mbit/s y fue diseñado para aplicaciones militares, éste tiene alrededor de 50000 puertas.

Adams, J.; Van Dun, J.; Guébels, P.; Rahier, M.

Metodología de diseño de ASIC independiente de la tecnología
Comunicaciones Eléctricas, volumen 65, nº2, págs 168-174

En este artículo se presenta una visión global de la metodología arriba-abajo para el diseño de circuitos integrados. Este procedimiento, basado en el uso masivo de lenguajes de descripción de circuitos junto con la simulación multinivel y herramientas para síntesis lógica, está desplazando las actividades de diseño desde el nivel de puerta al nivel de sistema. Se mencionan las herramientas de ayuda por ordenador tales como simulación, síntesis y generación de plano de base y los vendedores de herramientas CAE recomendadas por Alcatel. La realización a nivel de puerta física, que ya necesita la información del silicio, se pospone tanto como sea posible en el ciclo de diseño. Esto permite una gran flexibilidad para resolver ultimas modificaciones o nuevos requisitos. Para la realización final del circuito se plantea la alternativa entre las dos tecnologías mas importantes para integración a la medida: la que utiliza bibliotecas y el mar de puertas. Se destaca la importancia de esta última para diseños grandes y complejos.

Huyskens, E.; Van Wauwe, G.; Fonden, W.; Schulz, R.

Diseño VLSI para pruebas

Comunicaciones Eléctricas, volumen 65, nº2, págs. 175-182

La evolución tecnológica está constituyendo un enorme problema para la prueba de circuitos VLSI. Los autores describen como estos problemas pueden resolverse de forma económica mediante la realización consistente de estrategias basadas en el *diseño para pruebas*. Se pueden conseguir a menudo unos resultados óptimos mediante el uso de varias técnicas aplicadas a un diseño. La metodología basada en diseño para prueba proporciona posibilidades ilimitadas en la caracterización de los dispositivos integrados cuando se usa las herramientas adecuadas de ayuda por ordenador.

Larreur, J-C.; Martin, M-J.

Metodología integrada para el diseño de ASIC y placas

Comunicaciones Eléctricas, volumen 65, nº2, págs 183-187

Las herramientas CAD actuales permiten el diseño simultáneo de los ASIC y placas utilizando una metodología integrada basada en simulación. Sus ventajas son un incremento de la productividad, una depuración más rápida, un menor trabajo de rediseño y una mejora de las pruebas. Los autores exponen los objetivos y describen como implantar la metodología utilizando fases de especificación, diseño funcional y diseño eléctrico. Por último, se valoran las mejoras obtenidas en productividad y realización al usar este método de diseño integrado de arriba a abajo.

Campese, M.; Fourier, J. Y.; Bourret, G.

Circuitos integrados para el sistema de transmisión submarino S560

Comunicaciones Eléctricas, volumen 65, nº2, págs. 188-194

Las líneas submarinas transoceánicas basadas en fibra óptica llevan repetidores sumergidos con cierta periodicidad. Estos dispositivos deben tener una gran fiabilidad para evitar su costo de reparación. El incremento en cuanto a las necesidades de tráfico lleva consigo un aumento en la capacidad de los canales, haciendo necesario el uso de tecnologías de alta velocidad para construir los circuitos activos. La integración de estos circuitos hace posible el logro de la velocidad y fiabilidad necesarias. El S560 es un repetidor construido básicamente a partir de seis circuitos integrados: preamplificador, control automático de ganancia, recuperación del reloj, control del láser y supervisión la baja frecuencia. Haciendo uso de la tecnología DIFOX 1A/B, la que es propietaria Alcatel-CIT, estos circuitos han sufrido un drástico proceso de selección antes de su instalación. Después de una introducción al sistema, los autores pasan a describir la tecnología ECL y a discutir cada circuito integrado en detalle.

Casier, H.; Laes, E.

Mietec Alcatel: Diseño y proceso VLSI

Comunicaciones Eléctricas, volumen 65, nº2, págs. 195-202

Unas bibliotecas completas de células estándar para diseño VLSI de la que dispone Mietec Alcatel en ambas tecnologías CMOS y BICMOS la permiten ofrecer una amplia gama de aplicaciones desde circuitos integrados de alto voltaje a dispositivos avanzados de bajo consumo incluyendo diseños mixto analógico/digitales y una técnica de diseño completamente integrada basada en herramientas CAD de altas prestaciones combinada con un entorno de diseño abierto y flexible. Los autores tratan diversos aspectos del diseño con células, estructuras de dispositivos y características de las prestaciones.

Oficinas Editoriales

La correspondencia relacionada con las diferentes versiones de Comunicaciones Eléctricas debe dirigirse al editor correspondiente:

Rod Hazell
Electrical Communication
Alcatel PHQ
33 rue Emeriau
75725 Paris Cedex 15
Francia

Catherine Camus
Revue des Télécommunications
Alcatel PHQ
33 rue Emeriau
75725 Paris Cedex 15
Francia

Theo Wichers
Elektrisches Nachrichtenwesen
Lorenzstrasse 10
7000 Stuttgart 40
República Federal de Alemania

Gustavo Arroyo
Comunicaciones Eléctricas
Ramírez de Prado 5
28045 Madrid
España